



Packet No.: Z&PINFN10309

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date indicated below.

By: Markus Nollf Date: August 20, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Matthias Goldbach, et al.  
Applic. No. : 10/616,396  
Filed : July 9, 2003  
Title : Method for Fabricating Trench Capacitors for Integrated Semiconductor Memories

**CLAIM FOR PRIORITY**

Commissioner for Patents,  
P.O. Box 1450, Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 101 00 582.2, filed January 9, 2001.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus Nollf  
For Applicant

MARKUS NOLFF  
REG. NO. 37,006

Date: August 20, 2003

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/av

# BUNDESREPUBLIK DEUTSCHLAND

---



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 101 00 582.2

**Anmeldetag:** 09. Januar 2001

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Verfahren zur Herstellung von Grabenkondensatoren  
für integrierte Halbleiterspeicher

**IPC:** H 01 L 21/8242

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 28. Juli 2003  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag



**Stech**

## Beschreibung

Verfahren zur Herstellung von Grabenkondensatoren für integrierte Halbleiterspeicher

5

Die Erfindung betrifft ein Verfahren zur Herstellung von Grabenkondensatoren für integrierte Halbleiterspeicher.

10

Die fortschreitende Miniaturisierung der Schaltungen auf Halbleiterbauelementen führt zu der Forderung nach Kondensatoren mit größtmöglichem Kapazität-zu-Volumen Verhältnis. Insbesondere hochintegrierte Halbleiterspeicher benötigen zur Ladungsspeicherung Kondensatoren, die bei kleinstem Flächenbedarf eine Kapazität von mindestens etwa 30 fF bereitstellen müssen.

15

Neben der Verdünnung der Dielektrikumsschicht zwischen den beiden Kondensatorelektroden und der Erhöhung der Dielektrizitätskonstante durch die Wahl neuer Materialien führt insbesondere die Vergrößerung der Oberflächen der Kondensatoren in einem vorgegebenen Volumen zu einem größeren Kapazität-zu-Volumen Verhältnis.

20

Eine inzwischen bewährte Technik für die Herstellung von Kondensatoren mit großem Kapazität-zu-Volumen Verhältnis ist die Erzeugung von Kondensatoren in Gräben, die in dem Halbleitersubstrat erzeugt werden. Die Oberflächen der Gräben dienen dabei als großflächige Träger der Elektroden- und Dielektrikumsschichten. Fig. 1) zeigt einen Grabenkondensator 1-1, der in der Darstellung zusammen mit einem Auswahltransistor 1-2 eine Speicherzelle eines dynamischen Random Access Memory (DRAM) Halbleiterbauelements bildet. Über den Auswahltransistor 1-2 kann der Grabenkondensator 1-1 mit elektrischer Ladung geladen oder entladen bzw. der Speicherinhalt „gelesen“ werden. Die erste Elektrode des

25  
30  
35

Grabenkondensators 1-1 ist in dieser Ausführung die vergrabene Schicht 1-4, die gewöhnlich durch Dotierung der Wände der dicht nebeneinander angeordneten Gräben 1-3 erzeugt wird und die dafür sorgt, daß die ersten Elektroden  
5 benachbarter Grabenkondensatoren niederohmig miteinander verbunden sind. Die ersten Elektroden solcher Grabenkondensatoren liegen daher auf einem einheitlichen Referenzpotential. Auf den Wänden der Gräben 1-3 ist die Dielektrikumsschicht 1-5 aufgebracht und auf dieser die  
10 zweite Elektrode 1-6, die gewöhnlich aus einer Füllung der Gräben mit dotiertem Polysilizium besteht.

Aus Platzersparnisgründen ist der Auswahltransistor 1-2 direkt neben dem Grabenkondensator 1-1 angeordnet, so daß die  
15 zweite Elektrode 1-6 über einen kurzen Weg mittels eines elektrisch leitenden Verbindungsstücks 1-11 („surface strap“) mit der Drain 1-8 des Auswahltransistors 1-2 leitend verbunden ist. Durch Schalten des Gates 1-10 des Auswahltransistors mit Hilfe der Gate-Elektrode 1-16, die  
20 auch Wort-Leitung genannt wird, wird eine elektrische Verbindung zur Source 1-9 und damit zur Bit-Leitung 1-5 ein- oder ausgeschaltet. Die Verdrahtungsebene der Bit-Leitung 1-15 ist in dieser Ausführung durch das Oxid 1-17 von den Auswahltransistoren 1-2 und Grabenkondensatoren 1-1  
25 elektrisch isoliert.

Eine Problemzone von diesem Speicherzellentyp ist der parasitäre Feldeffekttransistor 1-14, den die n-dotierte vergrabene Schicht 1-4 mit der n-dotierten Drain 1-8 und der  
30 zweiten Elektrode 1-6 als Gate bilden. Das Gateoxid dieses Transistors ist dabei durch die Dielektrikumsschicht 1-5 gegeben. Liegt auf der zweiten Elektrode 1-6 aufgrund einer Speicherladung eine Spannung an, so kann die Spannung auf der anderen Seite der Dielektrikumsschicht 1-5 zwischen Drain 1-8  
35 und vergrabener Schicht 1-4 Kanalleckströme oder eine Inversionsschicht erzeugen, die Drain 1-8 und vergrabene Schicht 1-4 miteinander kurzschließen. Auf diese Weise wäre

aber der Grabenkondensator 1-1 kurzgeschlossen und damit unfähig, Ladung zu speichern.

Kanalleckströme oder ein Auftreten einer

5 Inversionsschicht im parasitären Transistor beim Betrieb des Halbleiterbauelements können durch die Wahl eines ausreichend hohen Schwellenspannungswertes  $V_{thr}$  des parasitären Transistors 1-14 unterdrückt werden. Der  
10 Schwellenspannungswert,  $V_{thr}$ , eines Feldeffekttransistors kann dabei durch eine Verkleinerung der Gate-Kapazität, z.B. durch eine Erhöhung der Schichtdicke der Dielektrikumsschicht, erhöht werden.

Eine große Schichtdicke der Dielektrikumsschicht steht  
15 jedoch im Widerspruch zu der Forderung, die Dielektrikumsschicht im Bereich des Kondensators für ein maximales Kapazitäts-zu-Volumen Verhältnis möglichst dünn auszulegen. Um dieses Problem zu umgehen wird die Dielektrikumsschicht gewöhnlich mit zwei verschiedenen Dicken  
20 erzeugt: im Bereich zwischen Drain 1-8 und vergrabener Schicht 1-4 wird die Dielektrikumsschicht 1-5 überwiegend dick und im Bereich der vergrabenen Schicht 1-4 überwiegend dünn aufgebracht. Die dicke Dielektrikumsschicht im oberen Grabenbereich wird auch Kragen 1-12 (Collar) genannt.  
25 Weiterhin ist die Herstellung einer Dielektrikumsschicht mit zwei verschiedenen Schichtdicken bislang technologisch aufwendig, da sie eine Vielzahl von zusätzlichen Prozeßschritten erfordert.

30 Prinzipiell kann die Gate-Kapazität des parasitären Transistors 1-14 auch durch die Wahl eines vom Kondensator verschiedenen Materials mit niedriger Dielektrizitätskonstante reduziert werden. Das Aufbringen verschiedener Materialien erfordert jedoch nach bisherigen  
35 Verfahren ebenfalls zusätzliche Prozeßschritte. Weiterhin muß bei der Wahl des Materials darauf geachtet werden, daß das neue Gate-Material einen ausreichend guten Schichtübergang

mit dem Silizium eingeht, um den  
gitterstörstellenverursachten Leckstrom entlang der  
Grenzschicht zwischen Drain 1-8 und vergrabener Schicht 1-4  
zu minimieren. Aus diesem Grund wird der Kragen gewöhnlich  
5 durch eine thermische Oxidierung des Siliziums und eine  
anschließende Oxidabscheidung erzeugt.

Die Herstellung von Grabenkondensatoren mit Kragen für  
DRAM-Halbleiterspeicher nach Stand der Technik ist in den  
10 Figuren 2a) bis 2f) schematisch beschrieben. In einem ersten  
Schritt (Fig. 2a)) werden eine dünne Oxidschicht 2-2, die die  
Funktion eines Pad-Oxids hat, eine Nitridschicht 2-3 und eine  
Hartmaskenschicht aus Bor-Silikat-Glas (BSG-Schicht) 2-4 auf  
eine p-dotierte Siliziumscheibe 2-1 aufgebracht. Auf die BSG-  
15 Schicht 2-4 wird weiterhin Photoresist aufgebracht und  
photolithographisch zu einer Photoresistmaske 2-6 so  
strukturiert, daß die Öffnungen der Photoresistmaske 2-6 die  
Position und Querschnitt der zu ätzenden Gräben wiedergeben.  
Typischerweise haben die Maskenöffnungen 2-5 dabei einen  
20 ovalen oder nahezu runden Querschnitt, so daß sie in der  
Praxis, von oben gesehen, weitgehend als Löcher wahrgenommen  
werden. Typische Durchmesser dieser Öffnungen liegen bei  
höchstintegrierten Speicherbauelementen derzeit im Bereich  
von 100 nm bis 500 nm. Fig. 2a) zeigt die Struktur, nachdem  
25 der Schichtstapel aus Pad-Oxid 2-2, Nitridschicht 2-3 und  
BSG-Schicht 2-4 in einem anisotropen Ätzschritt, bevorzugt  
mit einem Trockenätzgas 2-7 aus einem ersten Gasgemisch,  
strukturiert worden ist. Damit ist eine Hartmaske hergestellt  
worden, mit deren Hilfe die Gräben in die p-dotierte  
30 Siliziumscheibe 2-1 geätzt werden können. Die  
Photoresistschicht 2-6 wird nach dieser Strukturierung wieder  
entfernt.

Das Ätzen der Gräben 2-15 erfolgt im wesentlichen  
35 selektiv zur BSG-Schicht 2-4 in einem anisotropen  
Trockenätzschritt, z.B. durch einen RIE-Ätzschritt mit einem  
zweiten Trockenätzgas 2-8 (Fig. 2b)), wobei die Tiefe der

Gräben im Bereich von 5  $\mu\text{m}$  oder tiefer liegen kann. Danach wird die BSG-Schicht 2-4 wieder entfernt. Die Entfernung der BSG-Schicht erfolgt naßchemisch.

5 In einem weiteren Schritt werden die Seitenwände der Gräben 2-15 mit Arsensilikatglas 2-10 und einer Oxidschicht beschichtet, wobei das Arsensilikatglas 2-10 das Arsen für die spätere n-Dotierung zur Erzeugung der ersten Elektrode der Grabenkondensatoren bereithält. In der Praxis sind die  
10 Gräben so dicht zueinander angeordnet, daß die n-dotierten Regionen benachbarter Gräben sich überlappen, so daß aus den n-dotierten Regionen eine n-dotierte Schicht entsteht, die auch vergrabene Schicht genannt wird. Die vergrabene Schicht dient somit als gemeinsame erste Elektrode der  
15 Grabenkondensatoren.

Da die vergrabene Schicht elektrisch isoliert von dem sie umgebenden p-dotierten Gebiet der p-Siliziumscheibe und den Auswahltransistoren 1-2 auf den Oberflächen der  
20 Siliziumscheibe sein muß, muß die vergrabene Schicht einen Mindestabstand von etwa 500 nm von der Oberfläche des Halbleitersubstrats 2-1 haben. Aus diesem Grund muß das Arsensilikatglas 2-10 im oberen Grabenbereich entfernt werden. Dies geschieht durch die Füllung der Gräben 2-15 mit  
25 Photolack 2-11, der zurückgeätzt wird. Durch eine anschließende Ätzung des Arsenglas 2-10 wird das Arsenglas nur in dem vom Photolack befreiten Bereich entfernt (Fig. 2c). Die Höhe des teilweise entfernten Photolacks gibt somit die Oberkante der Arsensilikatglasschicht 2-10 und somit die  
30 Oberkante des zu erzeugenden Kondensatorbereichs 2-13 vor.

Nach der Entfernung des Photolacks 2-11 wird ein Cap-Oxid abgeschieden und anschließend der Temperungsschritt durchgeführt, mit dem das Arsen im unteren Bereich der Gräben  
35 in die Wände diffundiert und die vergrabene Schicht 2-16 erzeugt wird. Danach wird das Arsensilikatglas 2-10 aus den Gräben entfernt. Die vergrabene Schicht 2-16 dient als erste

Elektrode des Grabenkondensators und als elektrisch leitende Verbindung zwischen den ersten Elektroden benachbarter Grabenkondensatoren.

5        Es folgen nun die Abscheidung einer Dielektrikumschicht 2-18, z.B. einer Oxid-Nitrid-Oxid (ONO)-Schicht, auf den Grabenwänden und die Abscheidung von n-dotiertem Polysilizium 2-20a, das als zweite Elektrode dient. Durch einen Chemisch-Mechanischen (CMP) Polierschritt und einen anschließenden  
10 Rückätzschritt bleiben die Dielektrikumschicht 2-18 und das Polysilizium 2-20a nur in den Gräben bis etwa 1  $\mu\text{m}$  unterhalb der Oberfläche des Halbleitersubstrat und unterhalb der Oberkante des Kondensatorbereichs zurück. Die Rückätzung in den Gräben ermöglicht nun die Erzeugung der Krägen oberhalb  
15 der Rückätzung (Fig. 2d).

Es folgt eine konforme Abscheidung einer Oxidschicht die anschließend anisotrop geätzt wird, so daß die Oxidschicht nur an den Seitenwänden der oberen Grabenbereiche  
20 zurückbleiben und die Krägen 2-22 bilden (Fig. 2e). Die Schichtdicke der Krägen ist etwa 20 nm bis 50 nm. Anschließend werden die Gräben 2-15 mit dem oberen Polysilizium 2-20b wieder aufgefüllt, um leitende Verbindungen mit den noch aufzubringenden Auswahltransistoren herstellen zu können. Im weiteren Verlauf wird der Auswahltransistor 2-24 mit Drain 2-31, Source 2-32 sowie Gate-Elektrode 2-29 und Gate-Oxid 2-30 neben dem Grabenkondensator auf dem Halbleitersubstrat 2-1 aufgebracht und durch ein elektrisch leitendes Verbindungsstück 2-33  
30 mit dem oberen Polysilizium 2-20b der Grabenkondensatoren verbunden (Fig. 2f).

Die Herstellungsverfahren für Speicherkondensatoren sind bislang aufwendig, so daß ein erheblicher Entwicklungsaufwand  
35 betrieben wird, um die Herstellung zu vereinfachen. Weiterhin erfordert die unterschiedliche Behandlung der Gräben im unteren Bereich (Kondensatorbereich), in dem die vergrabene



Schicht und dünne Dielektrikumsschichten erzeugt werden, und im oberen Grabenbereich, in dem die Krägen als dicke Dielektrikumsschichten erzeugt werden, eine Vielzahl von zusätzlichen Prozeßschritten. Zum Beispiel muß der

5 Kondensatorbereich mit Photolack 2-11 gefüllt werden, damit das Arsensilikatglas 2-10 im oberen Bereich abgeätzt werden kann, wobei der Photolack danach wieder entfernt werden. Ebenso muß der Graben mit Polysilizium 2-20 aufgefüllt werden, wobei das Polysilizium wieder im oberen Grabenbereich

10 entfernt werden muß, damit im oberen Graben ein Kragen erzeugt werden kann.

Weiterhin bieten die Verfahren nach Stand der Technik keine einfache Möglichkeit, Prozeßschritte zur Erzeugung

15 modifizierter Grabenformen zur Erhöhung der Grabenoberflächen im Kondensatorbereich 2-13 einzuführen. Zum Beispiel ist in diesem Verfahren keine Möglichkeit vorgesehen, eine zusätzliche isotrope Ätzung der Gräben im Kondensatorbereich 2-13 in den Prozeßablauf einzuschieben, die den

20 Grabendurchmesser im unteren Grabenbereich erhöhen würde. Auch die Erzeugung von Mesoporen im Kondensatorbereich gemäß der deutschen Patentanmeldung Nr. 10055711.2 mit dem Titel „Verfahren zur Herstellung von Grabenkondensatoren“ ließe sich gar nicht oder nur umständlich in den Prozeßablauf

24 einfügen.

Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde, die oben beschriebenen Nachteile des Verfahren zur Herstellung von Grabenkondensatoren für Speicherzellen mit

30 Auswahltransistor zu beseitigen. Insbesondere sollen die Verfahren vereinfacht werden. Weiterhin ist es Aufgabe der vorliegenden Erfindung, Prozeßschritte wie die Erweiterung der Grabendurchmesser im unteren Grabenbereich oder die Erzeugung von Mesoporen im unteren Grabenbereich zur Erhöhung

35 der Speicherkapazität der Grabenkondensatoren in das Herstellungsverfahren auf einfache Weise zu integrieren..

Diese Aufgabe wird von dem Verfahren zur Herstellung von Speicherzellen gemäß des unabhängigen Patentanspruchs 1 gelöst. Weitere vorteilhafte Ausführungsformen, Ausgestaltungen und Aspekte der vorliegenden Erfindung  
5 ergeben sich aus den abhängigen Patentansprüchen, der Beschreibung und den beiliegenden Zeichnungen.

Erfindungsgemäß wird ein Verfahren zur Herstellung von Grabenkondensatoren für Speicherzellen mit mindestens einem  
10 Auswahltransistor für integrierte Halbleiterspeicher, wobei der Graben für einen Grabenkondensator einen unteren Grabenbereich, in dem der Kondensator angeordnet ist, und einen oberen Grabenbereich, in dem eine elektrisch leitende Verbindung von einer Elektrode des Kondensators zu dem  
15 Auswahltransistor angeordnet ist, aufweist, mit den Schritten bereitgestellt:

- auf einem Halbleitersubstrat eines ersten Leitungstyps wird eine horizontale Maske zur Erzeugung der Gräben  
20 erzeugt;
- das Halbleitersubstrat wird anisotrop geätzt, so daß die oberen Grabenbereiche erzeugt werden;
- die Seitenwände der oberen Grabenbereiche werden mit vertikalen Masken abgedeckt;
- das Halbleitersubstrat wird selektiv zur horizontalen Maske und den vertikalen Masken geätzt, so daß die  
30 unteren Grabenbereiche erzeugt werden;
- die Oberflächen der unteren Grabenbereiche werden mit Material des zweiten Leitungstyps dotiert, so daß auf den Oberflächen der unteren Grabenbereiche jeweils eine  
35 erste Elektrode erzeugt wird;

- auf die ersten Elektroden wird jeweils ein Dielektrikum aufgebracht;
- auf das Dielektrikum wird jeweils eine zweite Elektrode
- eine elektrisch leitende Verbindung von der zweiten Elektrode zu dem Auswahltransistor wird erzeugt.

10 Durch die Erzeugung der vertikalen Masken vor der Erzeugung der unteren Grabenbereiche können die unteren Grabenbereiche unabhängig von der Art der oberen Grabenbereiche gestaltet werden. Auf diese Weise können die unteren Grabenbereiche ohne großen Aufwand in beliebiger Form

15 so geätzt werden, wie es z.B. für eine Maximierung der Kapazität der Grabenkondensatoren erforderlich ist. Z.B. können die unteren Grabenbereiche erst anisotrop geätzt werden, um eine möglichst große Grabentiefe zu erreichen, und dann isotrop geätzt werden, um die Grabendurchmesser zu

20 vergrößern. Beides maximiert die Oberfläche der unteren Grabenbereiche und damit die Kapazität eines solchen Grabenkondensators.

Es können weiterhin Ätzschritte durchgeführt werden, die die Oberflächen der Grabenwände im unteren Grabenbereich aufräumen, was zu einer Vergrößerung der Oberfläche der Grabenkondensatoren führt. Schließlich können auch Mesoporen zur Erhöhung der Grabenoberflächen in den unteren Grabenbereichen geätzt werden, wie es z.B. in der deutschen

30 Patentanmeldung Nr. 10055711.2 beschrieben ist. Der obere Grabenbereich bleibt von diesen Ätzverfahren unbeschadet, so lange die Ätzprozesse selektiv zu der horizontalen Maske und den vertikalen Masken verlaufen.

35 Weiterhin können durch die horizontale und die vertikalen Masken die ersten Elektroden in den unteren Grabenbereichen

durch Dotierung erzeugt werden, ohne daß zusätzliche Schritte zur Abdeckung der oberen Grabenbereiche erforderlich sind.

Schließlich können die vertikalen Masken derart ausgelegt werden, daß sie neben dem Maskierungszweck bei der Herstellung der Kondensatoren auch die Funktion eines Gates zur Unterdrückung der parasitären Transistorkanäle zwischen erster Elektrode und Diffusionsgebieten des Auswahltransistors wahrnehmen. In diesem Fall verbleiben die vertikalen Masken in den Gräben und die sonst üblichen zahlreichen Prozeßschritte zur Erzeugung neuer Krägen („Collar“) werden eingespart.

Das Halbleitersubstrat, auf dem die Speicherzellen aufgebracht werden ist bevorzugt aus Silizium, da für dieses Material die Technologien für die Erzeugung von Transistoren und Grabenkondensatoren mit sehr hoher Integrationsdichte zur Verfügung stehen. Prinzipiell können die Speicherzellen auf Halbleitersubstraten mit dem einen wie dem anderen Leitungstypen hergestellt werden. Bevorzugt werden die Speicherzellen jedoch auf p-dotiertem Halbleitersubstrat hergestellt, da so die Auswahltransistoren n-dotierte Diffusionsgebiete haben, was wegen der höheren Mobilität der Elektronen im Silizium (im Vergleich zu Löchern als Ladungsträgern) eine höhere Schaltgeschwindigkeit gewährleistet.

Die horizontale Maske auf dem Halbleitersubstrat dient als Maske für die Erzeugung der Gräben im Halbleitersubstrat für die Grabenkondensatoren. Die horizontale Maske wird bevorzugt mit photolithographischen Verfahren aus einem Schichtstapel erzeugt. Der Schichtstapel muß insbesondere den Ätzschritten für die Erzeugung der Gräben widerstehen. Bevorzugt weist der Schichtstapel eine Nitridschicht auf, die als Stopschicht für die Strukturierung später aufzubringender Schichten dienen kann (z.B. CMP-Polierstop). Die Öffnungen der horizontalen Maske, die der Erzeugung der Gräben dienen,

sind bevorzugt weitgehend rund oder oval, um damit Gräben mit weitgehend rundem oder ovalem Querschnitt zu erzeugen.

Weitgehend runde oder ovale Querschnitte sind bei vorgegebenem Querschnittsfläche technologisch einfacher

- 5 herstellbar und lassen sich im Innenbereich leichter beschichten. Der typische Durchmesser solcher Querschnittsflächen liegt bevorzugt im Bereich von 20 nm bis 500 nm.

- 10 Nach der Fertigstellung der horizontalen Maske wird ein anisotroper Ätzschritt durchgeführt, mit dem die oberen Grabenbereiche erzeugt werden. Die oberen Grabenbereiche werden anisotrop geätzt, damit die Gräben nahe der Oberfläche des Halbleitersubstrats eine möglichst kleine Fläche auf der
- 15 Oberfläche des Halbleitersubstrats einnehmen, um eine möglichst hohe Speicherzellendichte erzielen zu können. Die Tiefe des oberen Grabenbereichs ist auf der einen Seite so klein wie möglich zu wählen, da dieser Bereich wegen der dickeren Isolierung zu den Grabenwänden hin (Kragenoxiddicke)
- 20 nicht zur Gesamtkapazität des Grabenkondensators beitragen kann. Auf der anderen Seite muß die Tiefe des oberen Grabenbereichs aber ausreichend groß sein, um den Kondensator so weit von der Oberfläche des Halbleitersubstrats entfernt zu halten, daß Kondensator und auf der Oberfläche des Halbleitersubstrats angeordnete Transistoren ausreichend voneinander elektrisch isoliert sind. Typischerweise reicht der obere Grabenbereich etwa 1  $\mu\text{m}$  tief in das Halbleitersubstrat hinein.

- 30 Bevorzugt wird die horizontale Maske zusätzlich um einige bis einige 10 Nanometer unterätzt, so daß die vertikalen Masken um diesen Abstand zurückgesetzt an den Grabenwänden erzeugt werden. Dadurch ist gewährleistet, daß bei den technologisch schwer zu vermeidenden schrägen
- 35 (trichterförmigen) Kanten der horizontalen Maske horizontale Oberflächenbereiche des Halbleitersubstrats durch den Ätzschritt zur Erzeugung der unteren Grabenbereiche nicht

freigelegt wird. Freigelegte horizontale Oberflächenbereiche des Halbleitersubstrats würden Angriffsflächen für ungewünschte Ätzungen außerhalb der Gräben darstellen.

5 Die vertikalen Masken zur Abdeckung der Seitenwände der oberen Grabenwände dienen vor allem dazu, den oberen Grabenbereich während der Erzeugung des Kondensators im unteren Grabenbereich abzudecken, so daß der untere Grabenbereich durch weitgehend frei wählbare Verfahren geätzt  
10 werden kann um eine gewünschte Form zu erzielen. Bevorzugt decken die vertikalen Masken dabei die Seitenwände des oberen Grabenbereichs vollständig ab, so daß kein Gebiet der Seitenwände im oberen Grabenbereich den Ätzverfahren ausgesetzt ist, die zur Erzeugung der unteren Grabenbereiche  
15 durchgeführt werden.

Ein bevorzugtes Verfahren zu Erzeugung der vertikalen Masken ist dabei die konforme Abscheidung eines Abdeckmaterials gefolgt von einer anisotropen Ätzung. Auf  
20 diese Weise bleibt das Abdeckmaterial nur an weitgehend vertikalen Seitenwänden zurück, die die Seitenwände der oberen Grabenbereiche vollständig abdecken. Bevorzugt ist das Abdeckmaterial aus Nitrid, was bei Ätzverfahren eine gute Selektivität gegenüber Silizium und eine gute  
Diffusionsbarriere gegen von außen eingegebene Gase liefert. Nitrid als vertikales Maskenmaterial ist somit als Schutz für die Seitenwände der oberen Grabenbereiche während der Erzeugung der unteren Grabenbereiche und während der Dotierung zur Erzeugung der ersten Elektroden besonders  
30 geeignet.

Die Dicke der vertikalen Maskenschicht muß zum einen ausreichend sein, um die beschriebene Schutzfunktion der Seitenwände in den oberen Grabenbereichen bei Ätzung und  
35 Dotierung zu gewährleisten. Zum anderen ist die Dicke in einer bevorzugten Ausführung gleichzeitig so dick zu wählen, daß die vertikalen Masken als Gate-Oxid der parasitären

13  
Transistoren dienen können und dafür sorgen, daß beim Speicherbetrieb der Transistorkanal eines parasitären Transistors geschlossen bleibt. Dafür muß der Schwellenspannungswert  $V_{thr}$  der parasitären Transistoren ausreichend groß sein. Ein großer Schwellenspannungswert  $V_{thr}$  wird vor allem durch eine kleine Flächenkapazität zwischen Steuerelektrode und Transistorkanal erreicht, so daß die vertikalen Masken möglichst niedrige Dielektrizitätskonstante oder ausreichend große Schichtdicken aufweisen müssen.

10 In der bevorzugten Ausführung, in der die vertikalen Masken aus Nitrid sind, können die vertikalen Masken nur mit einer vergleichsweise großen Schichtdicke als "Gate-Oxid" dienen, da Nitrid im Vergleich zu Siliziumoxid eine große Dielektrizitätskonstante aufweist. Werden in einem anderen bevorzugten Verfahren die vertikalen Masken später entfernt und durch Isolatoren mit niedrigerer Dielektrizitätskonstante ersetzt, so kann die Schichtdicke der vertikalen Masken dementsprechend dünner ausgelegt sein.

20 Die Ätzung der unteren Grabenbereiche erfolgt selektiv zu der horizontalen Maske und selektiv zu den vertikalen Masken. Bevorzugt dient die Oberfläche der unteren Grabenbereiche als Auflagefläche der Kondensatoren. Eine möglichst große Oberfläche der unteren Grabenbereiche ermöglicht daher eine möglichst große Kapazität der Grabenkondensatoren. Da die Integrationsdichte von Speicherzellen unter anderem durch die minimale Kapazität limitiert ist, wird die Ätzung der unteren Grabenbereiche bevorzugt so durchgeführt, daß in dem für die Ätzung eines unteren Grabenbereichs vorhandenen Volumen im Halbleitersubstrat eine möglichst große Oberfläche des unteren Grabenbereichs erzeugt wird. Damit auf den Oberflächen des unteren Grabenbereichs Kapazitäten erzeugt werden können, muß darauf geachtet werden, daß die Oberflächen zugänglich sind für eine anschließende Beschichtung mit Dielektrikumsmaterial und

Elektrodenmaterial. Für eine zuverlässige Beschichtung müssen die Gräben und ggf. auch Verästelungen der Gräben daher minimale Durchmesser aufweisen.

5 In einer ersten bevorzugten Ausführung werden die unteren Grabenbereiche daher möglichst tief gemacht, da die Oberfläche der Grabenkondensatoren linear mit der Tiefe der unteren Grabenbereiche wächst. Die Tiefe der unteren Grabenbereiche ist dabei lediglich durch die Dicke des  
10 Substrats, die typischerweise im Bereich von einigen hundert Mikrometern liegt, und die technologische Machbarkeit, Gräben mit vorgegebenen Durchmessern von etwa 50 nm bis 500 nm mit großen Tiefen zu erzeugen, limitiert. Bevorzugt werden Gräben mit sehr großen Tiefen durch eine weitgehende anisotrope  
15 Ätzung erzeugt.

In einer zweiten bevorzugten Ausführung werden die unteren Grabenbereiche mit möglichst großem Durchmesser ausgestattet, da die Oberfläche der unteren Grabenbereiche  
20 linear mit dem Durchmesser wächst. Unter Durchmesser ist jeweils ein repräsentativer Durchmesser gemeint, der der Durchmesser eines Kreises ist, der sich bestmöglich an die tatsächliche Querschnittsform der Gräben anpaßt. Der maximale Durchmesser der unteren Grabenbereiche ist vor allem durch die Dichte der auf dem Halbleitersubstrat angeordneten Grabenkondensatoren limitiert, da sich die unteren Grabenbereiche benachbarter Grabenkondensatoren nicht berühren dürfen. Die Dichte der Grabenkondensatoren ist wiederum abhängig von der Dichte der Speicherzellen auf dem  
30 Halbleitersubstrat. Die höchstmögliche Speicherzellendichte ist vor allem durch den Querschnitt der oberen Grabenbereiche, der Fläche der Auswahltransistoren, der für eine Isolierung benachbarter Transistoren erforderlichen Fläche und möglicherweise noch anderen Komponenten limitiert.  
35 Durch die Vielzahl der für eine Speicherzelle erforderlichen Komponenten auf der Oberfläche des Halbleitersubstrat ist gewährleistet, daß der Querschnitt des unteren Grabenbereichs



000101

deutlich größer sein kann als der Querschnitt des oberen Grabenbereichs. In einer bevorzugten Ausführung wird der untere Grabenbereich durch eine anisotrope Ätzung, die die erforderliche Grabentiefe erzeugt, und eine anschließende

5 isotrope Ätzung, die die Aufweitung des unteren Grabenbereichs auf den gewünschten Durchmesser der Grabenquerschnitts bewirkt, erzeugt.

In einer dritten bevorzugten Ausführung werden die

10 Oberflächen von durch anisotrop oder isotrop geätzten unteren Grabenbereichen dadurch erhöht, daß die Oberflächen der unteren Grabenbereiche durch geeignete Ätzungen aufgeraut werden. Ein Verfahren zur Erzeugung rauer Oberflächen zur Erhöhung der Grabenkondensatorkapazitäten ist beispielsweise

15 in den Patentschriften US 5,981,350 und US 6,025,225 beschrieben.

In einer vierten bevorzugten Ausführung werden die Oberflächen von durch anisotrop oder isotrop geätzten unteren

20 Grabenbereichen dadurch erhöht, daß Mesoporen in den Grabenwänden in den unteren Grabenbereichen erzeugt werden. Das Verfahren zur Erzeugung von Mesoporen in Grabenkondensatoren ist beispielsweise in der deutschen Patentanmeldung Nr. 10055711.2 beschrieben.

Dies sind nur einige Beispiele für Ätzverfahren zur Erzeugung der unteren Grabenbereiche. Grundsätzlich ermöglicht das erfindungsgemäße Verfahren durch die Abdeckung der oberen Grabenbereiche mit vertikalen Masken und der

30 Abdeckung der Oberfläche des Halbleitersubstrat mit der horizontalen Maske, daß jede Form der Ätzung zur Erzeugung der unteren Grabenbereiche auf einfache Weise in den Prozeßablauf eingefügt werden kann, so lange die Ätzung selektiv zu der horizontalen und den vertikalen Masken ist.

35

Die Oberflächen der unteren Grabenbereiche werden mit Material des zweiten Leitungstyps dotiert, so daß auf den

Oberflächen jeweils eine erste Elektrode erzeugt wird. Die Dotierung erzeugt eine niederohmig leitende Oberfläche im unteren Grabenbereich, die beim zu erzeugenden Kondensator die Funktion als erste Elektrode einnimmt. Da die Dotierung

5 vom entgegengesetzten Leitungstyp von dem des Halbleitersubstrats ist, ist dafür gesorgt, daß die erste Elektrode elektrisch von den Schaltungselementen auf der Oberfläche des Halbleitersubstrats isoliert werden kann. Alternativ ist auf den Oberflächen der unteren Grabenbereiche  
10 eine Elektrodenschicht aus Metall aufgebracht, die die Funktion der ersten Elektroden einnimmt. Dadurch läßt sich eine größere Grabenkapazität erreichen.

Bevorzugt wird die Dotierung der Oberflächen der unteren  
15 Grabenbereiche in dem Umfang durchgeführt, daß die dotierten Gebiete benachbarter Gräben elektrisch niederohmig miteinander verbunden sind. Auf diese Weise entsteht eine niederohmig dotierte Schicht, die alle ersten Elektroden der Grabenkondensatoren miteinander verbindet (vergrabene Schicht  
20 oder „Buried Layer“) und an die eine einheitliche Referenzspannung für die Kondensatoren angelegt wird.

Die Dotierung zur Erzeugung der ersten Elektroden wird bevorzugt in einem Gas-Phase-Dotierung Prozeßschritt durchgeführt, das auch bei tiefen Gräben eine gleichmäßige Dotierung der Grabenwände ermöglicht. Bevorzugt wird dabei mit Arsen dotiert. Durch die Abdeckung durch die vertikalen Masken und die horizontale Maske ist gewährleistet, daß nur  
30 jeweils der untere Grabenbereich dotiert wird. Dadurch ist gewährleistet, daß die vergrabene Schicht nur im unteren Grabenbereich liegt und keine ohmsche leitende Verbindung mit den an der Oberfläche des Halbleitersubstrats liegenden elektrischen Schaltungen besteht, die die Speicherkondensatoren jeweils kurzschließen würden. Auch  
35 andere Dotierungsverfahren sind denkbar, so zum Beispiel auch das bereits beschriebene Verfahren mit Hilfe der ASG-Belegung mit anschließendem Temperaturschritt (Drive-In).

Auf die ersten Elektroden wird jeweils ein Dielektrikum aufgebracht. Bevorzugt überdeckt das Dielektrikum die Oberfläche der ersten Elektroden im unteren Grabenbereich  
5 jeweils vollständig. Um eine möglichst hohe Kapazität für jeden Grabenkondensator zu erhalten, sind als Dielektrikum bevorzugt sehr dünne Schichten aus einem Material mit einer möglichst hohen Dielektrizitätskonstante vorgesehen. Die Mindestschichtdicke ist jedoch durch die erforderliche  
10 Spannungsfestigkeit, die diese Schicht für die Spannung zwischen den Elektroden eines Kondensators liefern muß, limitiert. Bevorzugt ist das Dielektrikum daher eine Oxid-Nitrid-Oxid (ONO-) Schicht, eine Nitrid-Oxid (NO-) Schicht oder eine Oxidschicht. Diese Materialien lassen sich nach  
15 bekannten Verfahren auch in Gräben mit großem Aspektverhältnis, d.h. mit großem Verhältnis von Grabentiefe zu Grabendurchmesser, gleichmäßig einbringen. Wegen der großen Dielektrikumskonstante werden bevorzugt auch  $Ta_2O_5$ ,  $Al_2O_3$  oder  $Al_2O_3$  mit Zusätzen aus z.B. Hafnium, Zirkon oder  
20 Ruthenium als Dielektrikum verwendet.

Auf die Dielektrika wird jeweils eine zweite Elektrode aufgebracht, so daß erste Elektrode, Dielektrikum und zweite Elektrode in jedem Graben einen Kondensator bilden. Die zweite Elektrode besteht aus leitendem Material und ist bevorzugt aus dotiertem Polysilizium. Bevorzugt reicht die zweite Elektrode bis zum oberen Grabenbereich, um eine möglichst große Kapazität zu erzeugen. Bevorzugt werden die zweiten Elektroden durch Auffüllen der Gräben mit leitendem  
30 Material bis zum oberen Grabenbereich erzeugt. Damit wird das Dielektrikum eines unteren Grabenbereichs zur größtmöglichen Kapazitätsbildung vollständig überdeckt; weiterhin wird das meist dünne Dielektrikum durch die vollständige Füllung des unteren Grabenbereichs bestmöglich gegen chemische Einflüsse  
35 von außen geschützt. Alternativ kann die zweite Elektrode auch aus einem Metall, z.B. aus Aluminium oder einem der Refraktär-Metalle wie Wolfram, Titan oder Tantal oder auch

deren Silizide, erzeugt werden. Diese Materialien weisen einen kleineren elektrischen Widerstand als Polysilizium auf, so daß sich der serielle Widerstand bei der Ein- und Auslese von insbesondere sehr tiefen Grabenkondensatoren deutlich reduziert.

Es ist für die Bildung einer größtmöglichen Kapazität unwesentlich, ob beim Auffüllen der Gräben mit Material der zweiten Elektrode Lunker („Voids“) entstehen oder nicht. Es kommt bei der Auffüllung mit Material der zweiten Elektrode vor allem darauf an, daß die mit Dielektrikum überdeckte erste Elektrode möglichst weitgehend mit dem Material der zweiten Elektrode überdeckt wird.

Bevorzugt werden die Gräben bis zu einer Höhe im oberen Grabenbereich aufgefüllt, bei der die vertikalen Masken auf einfache Weise später entfernt und jeweils durch einen Isolator (Kragen oder „Collar“) ersetzt werden können. Die Isolatoren dienen dazu, als Teil des Gates die Schwellenspannung  $V_{thr}$  des parasitären Transistors so hoch zu legen, daß die Kanalleckströme während des Halbleiterspeicherbetriebs minimiert sind und eine Inversion im Transistorkanal nicht entstehen kann. Bevorzugt wird das Auffüllen mit dem leitenden Material bis zum oberen Grabenbereich durch eine konforme Bedeckung der Gräben mit dem leitenden Material und eine anschließende Zurückätzung auf die gewünschte Höhe im Graben erreicht.

Schließlich wird eine elektrisch leitende Verbindung von der zweiten Elektrode zum Auswahltransistor erzeugt. Bevorzugt wird die elektrisch leitende Verbindung zu einer der Diffusionsgebiete des Auswahltransistors geführt. Bevorzugt dient der Auswahltransistor dazu, den Grabenkondensator zu Speicherzwecken zu isolieren oder zum Laden, Entladen oder Auslesen freizugeben zu können. Laden und Entladen erfolgt jeweils über die elektrisch leitende Verbindung. Aus Platzersparnisgründen ist das

Diffusionsgebiet des Auswahltransistors, das über die elektrisch leitende Verbindung mit dem Grabenkondensator verbunden ist, bevorzugt dicht neben dem Grabenkondensator auf der Oberfläche des Halbleitersubstrat angeordnet.

5

Die elektrisch leitende Verbindung von der zweiten Elektrode zu dem Diffusionsgebiet kann auf vielfache Weise erfolgen. In einer ersten bevorzugten Ausführung wird die elektrisch leitende Verbindung durch ein Auffüllen des Grabens bis zur Oberfläche des Halbleitersubstrats mit leitendem Material und die Herstellung eines elektrisch leitenden Verbindungsstückes („Surface Strap“), das auf der Oberfläche des Halbleitersubstrat verlaufend das leitende Material des Grabenkondensators mit der Diffusionsstelle des Auswahltransistors leitend verbindet, erzeugt. In einer zweiten bevorzugten Ausführung wird der Graben nur bis kurz unterhalb der Oberfläche des Halbleitersubstrat aufgefüllt, so daß das elektrisch leitende Verbindungsstück zum Diffusionsgebiet unterhalb der Oberfläche des Halbleitersubstrats erzeugt werden kann („Buried Strap“). Mit diesem Verfahren kann eine noch größere Packungsdichte erzeugt werden. Die Erfindung beschränkt sich jedoch nicht auf diese beiden Verfahren, sondern umfaßt alle elektrisch leitenden Verbindungen, die eine Verbindung zwischen Diffusionsstelle und zweiter Elektrode herstellen.

In einer bevorzugten Ausführung werden die vertikalen Masken nach der Erzeugung der zweiten Elektroden durch Isolatoren mit niedriger Dielektrizitätskonstante ersetzt. Unter niedriger Dielektrizitätskonstante ist insbesondere ein Wert zu verstehen, der kleiner als der Wert der Dielektrizitätskonstante des Materials der vertikalen Masken ist. Auf diese Weise wird bei gegebener Schichtdicke die Flächenkapazität des Gates der parasitären Transistoren gesenkt und die Schwellenspannung für das Anschalten des Transitorkanalstroms erhöht. Die Schwellenspannung muß dabei einen Mindestschwellenspannungswert erreichen, der

gewährleistet, daß während des Betriebs des Halbleiterspeichers der parasitäre Transistor ausreichend kleine Leckströme aufweist. Ebenso kann bei kleiner Dielektrizitätskonstante die Schichtdicke der Isolatoren  
5 kleiner gewählt werden, was dem Streben nach möglichst kleinen Querschnitten der Grabenkondensatoren entgegenkommt.

Bei der Wahl des Materials für die Isolatoren ist zu beachten, daß das Material mit dem Halbleitersubstratmaterial  
10 einen möglichst gitterfehlstellenfreien Übergang bildet, um Leckströme im Transistorkanal entlang des Grenzbereiches zwischen Isolator und Halbleitersubstrat zu minimieren. Solche Leckströme können ebenfalls die Grabenkondensatoren entladen und eine Ladungsspeicherung unmöglich machen. Für  
15 einen gitterfehlstellenfreien Übergang werden bevorzugt insbesondere  $\text{SiO}_2$ -Si-Übergänge gewählt, wobei das  $\text{SiO}_2$  bevorzugt thermisch erzeugt wird. Daher wird in einer bevorzugten Ausführung der Isolator mit Hilfe einer thermischen Oxidierung der Seitenwände der oberen  
20 Grabenbereiche erzeugt. Bevorzugt wird auf die oxidierten Seitenwände weiterhin eine Oxidschicht abgeschieden, um eine für eine ausreichend hohe Schwellenspannung vorgegebene Schichtdicke des Isolators zu erzeugen. Die vorgegebene Schichtdicke leitet sich dabei über die maximale  
25 Flächenkapazität ab, die für das Erreichen einer minimalen Schwellenspannung am parasitären Transistor erforderlich ist.

Die Erzeugung der Isolatoren an den Seitenwänden der oberen Grabenbereiche geschieht bevorzugt durch Erzeugen  
30 einer Schicht aus dem Isolatorenmaterial und einer anschließende anisotrope Ätzung, die das Isolatorenmaterial lediglich an den weitgehend senkrechten Oberflächen und insbesondere an den Wänden der senkrechten oberen Grabenbereiche zurückläßt.

Die Erfindung wird nachfolgend anhand von Figuren der Zeichnung näher dargestellt. Es zeigen:

Fig. 1) eine Speicherzelle mit Grabenkondensator und Auswahltransistor nach Stand der Technik.

Fig. 2a) - 2f) ein Verfahren nach Stand der Technik zur Herstellung einer Speicherzelle mit Grabenkondensator und Auswahltransistor.

Fig. 3a) - 3h) eine Ausführung des erfindungsgemäßen Verfahrens zur Herstellung einer Speicherzelle mit Grabenkondensator und Auswahltransistor.

Fig. 4) erfindungsgemäßer Grabenkondensator mit erweitertem Graben im Kondensatorbereich.

Fig. 5) erfindungsgemäßer Grabenkondensator mit Mesoporen im Kondensatorbereich.

Fig. 1) sowie Fig. 2a) bis 2f) sind bereits in den voranstehenden Ausführungen dieser Anmeldung beschrieben worden.

Fig. 3a) bis 3h) zeigen eine Ausführung des erfindungsgemäßen Verfahrens zur Herstellung von Speicherzellen mit Grabenkondensatoren und Auswahltransistor.

Fig. 3a) zeigt das Halbleitersubstrat 3-1, das in dieser Ausführung eine p-dotierte Siliziumscheibe ist, mit einem aufgebrachtem Schichtstapel aus einem dünnen Pad-Oxid 3-2, einer Nitridschicht 3-3, einem etwa 1  $\mu\text{m}$  bis 2  $\mu\text{m}$  dicken Oxid 3-4 und einer 200 nm bis 300 nm dicken Polysiliziumschicht 3-5. Die TEOS-Schicht 3-4 kann auch aus anderen Oxiden, z.B. aus Silanoxid, bestehen.

Anschließend wird die Polysiliziumschicht 3-5 mit Hilfe eines standardmäßigen photolithographischen Verfahrens strukturiert, die Struktur, Position und Querschnitt der zu erzeugenden Gräben für die Grabenkondensatoren im Halbleitersubstrat 2-1 vorgibt. Selektiv zur Polysiliziumschicht 3-5 wird anschließend durch einen anisotropen Ätzschritt, bevorzugt mit einem Trockenätzgas 3-6, durch das TEOS-Oxid 3-4, die Nitridschicht 3-3 und das Pad-Oxid 3-2 hindurch eine erste horizontale Maske 3-8a erzeugt. Die Ätzung reicht dabei bevorzugt etwa 10 nm bis 20 nm in das Silizium hinein, um im offenen Maskenbereich einen vollständigen Durchbruch durch die Nitridschicht 3-3 und Pad-Oxid 3-2 zu gewährleisten (Fig. 3b). Die erste horizontale Maske 3-8a wird auch Hartmaske genannt

Es folgt die anisotrope Ätzung, bevorzugt in einem Trockenätzschritt, zur Erzeugung des oberen Grabenbereichs 3-10a selektiv zur ersten horizontalen Maske 3-8a. Typischerweise ragt der obere Grabenbereich etwa 500 nm bis 1500 nm tief in das p-dotierte Silizium hinein. Die Polysiliziumschicht 3-5 ist nach der anisotropen Ätzung weitgehend oder vollständig entfernt. Zur Erzeugung von vertikalen Masken wird anschließend eine etwa 15 nm dicke Siliziumnitridschicht aufgebracht und anisotrop geätzt. Durch die anisotrope Ätzung bleiben in den Gräben nur die in etwa vertikal verlaufenden Schichtelemente der Siliziumnitridschicht zurück, die als vertikale Masken 3-11 in Fig. 3c) eingezeichnet sind. Die Dicke der vertikalen Masken von etwa 15 nm reicht aus, um die oberen Grabenbereiche vor Prozeßschritten wie der Gas-Phase-Dotierung (Dotierung der unteren Grabenbereiche), Erzeugung von Mesoporen, Erzeugung von erweiterten Grabenbereichen durch isotrope Ätzung zu schützen. Die vertikalen Masken schützen außerdem die Schichten der horizontalen Maske 3-8a im Grabenbereich bei den Ätzungen. Insbesondere das Pad-Oxid



000001

3-2 ist empfindlich z.B. gegen naßchemische Ätzschritte, mit denen das TEOS-Oxid 3-4 später entfernt werden soll.

5 Nun können die unteren Grabenbereiche 3-10b mit Hilfe eines anisotropen Ätzschrittes nach Stand der Technik selektiv zur ersten horizontalen Maske 3-8a und selektiv zu den vertikalen Masken 3-11 erzeugt werden. Dieser Ätzschritt reicht typischerweise 5  $\mu\text{m}$  bis 10  $\mu\text{m}$  tief in das Halbleitersubstrat hinein. Die Tiefe ist jedoch nicht auf  
10 einen Wert festgelegt, so daß auch wesentlich tiefere Gräben 3-10 erzeugt werden können (Fig. 3d). Durch den anisotropen Ätzschritt wird die TEOS-Oxidschicht 3-4 je nach Tiefe der unteren Grabenbereiche deutlich dünner.

1 Aus technologischen Gründen verlaufen die Öffnungskanten der ersten horizontalen Maske 3-8a oft nicht senkrecht sondern schräg bzw. trichterförmig. Trichterförmige Öffnungskanten können zur Folge haben, daß die Dicke der ersten horizontalen Maske 3-8a im trichterförmigen Bereich  
20 nicht ausreicht, um das darunterliegende Halbleitersubstrat 3-1 bei der anisotropen Ätzung der unteren Grabenbereiche 3-10b zu schützen. In diesem Fall werden horizontale Oberflächenbereiche des Halbleitersubstrats 3-1 geöffnet, so daß Ätzungen, die der Erzeugung großer Oberflächen in den unteren Grabenbereichen 3-10b gelten, ungewollt auch horizontale Oberflächenbereiche des Halbleitersubstrats 3-1 ätzen. Um die ungewollten Ätzungen an den horizontalen Oberflächenbereichen des Halbleitersubstrats 3-1 zu vermeiden, wird bevorzugt vor dem anisotropen Ätzen der  
30 unteren Grabenbereiche 3-10b ein isotroper Ätzschritt durchgeführt, der die oberen Grabenbereiche 3-10a weitet. Die Weitung hängt von der Schräge der Öffnungskanten ab und kann im Bereich von 5 nm bis 50 nm liegen. Die schrägen Öffnungskanten der ersten horizontalen Maske 3-8a sind  
35 dementsprechend unterätzt. Nach Aufbringen der vertikalen Masken 3-11 kann so bei der anisotropen Ätzung der unteren Grabenbereiche 3-10b gewährleistet werden, daß selbst bei der

Durchätzung der trichterförmigen Öffnungskantenbereiche horizontale Oberflächenbereiche des Halbleitersubstrats 3-1 nicht geöffnet werden.

5 Nun kann die TEOS-Schicht 3-4 naßchemisch entfernt werden, so daß die erste horizontale Maske 3-8a zu einer dünneren zweiten horizontalem Maske 3-8b reduziert wird. Die naßchemische Ätzung ist durch das erfindungsgemäße Verfahren ermöglicht worden, da die vertikalen Masken insbesondere das  
10 Pad-Oxid 3-1 vor naßchemischen Angriffen schützen und somit eine Ablösung der Nitridschicht 3-3 vom Halbleitersubstrat 3-1 verhindern.

Nach der Entfernung der TEOS-Oxidschicht 3-4 werden die  
15 Wände der unteren Grabenbereiche 3-10b, bevorzugt durch eine Gas-Phase-Dotierung (GPD-)Verfahren, z.B. mit Arsen, n-dotiert, um damit die ersten Elektroden der Grabenkondensatoren zu erzeugen. Die n-Dotierung führt dazu, daß die ersten Elektroden von dem p-dotierten  
20 Halbleitersubstrat und somit von den auf der Oberfläche des Halbleitersubstrats aufzubringenden elektronischen Schaltelementen elektrisch isoliert sind. In der Praxis sind die Gräben so dicht nebeneinander gepackt, daß die n-dotierten Regionen benachbarter Gräben sich überlappen und so eine n-dotierte vergrabene Schicht 3-12 bilden. Über die vergrabene Schicht 3-12 sind dann die ersten Elektroden benachbarter Grabenkondensatoren niederohmig miteinander verbunden und so auf ein festes Referenzpotential gelegt.

30 Fig. 3e) zeigt den Grabenkondensator, nachdem die unteren Grabenbereiche 3-10b n-dotiert, zusätzlich mit einem Dielektrikum 3-19 belegt und zu einem Teil mit Polysilizium 3-20 gefüllt worden sind. Das Dielektrikum 3-19 besteht bevorzugt aus einer Oxidschicht, einer Nitrid-Oxid-(NO-) Schicht oder einer Oxid-Nitrid-Oxid (ONO-)Schicht. Diese  
35 Materialien lassen sich auch in Gräben mit sehr großem Aspektverhältnis (Grabentiefe zu Grabendurchmesser)

zuverlässig, d.h. mit guten Isolierungseigenschaften, einbringen. Das Polysilizium 3-20 wird durch Standardverfahren aufgebracht und dann durch Ätzschritte soweit abgetragen, daß es auf der einen Seite das

5 Dielektrikum 3-19 im unteren Grabenbereich 3-10b komplett abdeckt, auf der anderen Seite aber den oberen Grabenbereich 3-10a weitgehend offen läßt. Durch den offenen oberen Grabenbereich 3-10a lassen sich die vertikalen Masken 3-11 später leicht entfernen und durch neue Isolatoren mit

10 niedrigerer Dielektrizitätskonstante ersetzen.

Fig. 3f zeigt den Grabenkondensator, nachdem das Dielektrikum 3-19 im oberen Grabenbereich 3-10a und die vertikalen Masken 3-11 durch Ätzen entfernt worden sind, so

15 daß die Seitenwände der oberen Grabenbereiche 3-10a frei sind für die Aufbringung eines Isolators, der auch Kragen („Collar“) genannt wird. Der Isolator muß von Schichtdicke und Material her so ausgelegt sein, daß die Schwellenspannung  $V_{thr}$  des bevorstehenden parasitären Transistors so hoch liegt,

20 daß der parasitäre Transistor bei Betrieb des Halbleiterbauelements ausreichend geringe Leckströme in seinem Transistorkanal aufweist.

Fig. 3g) zeigt den Grabenkondensator, nachdem die

25 Isolatorenschicht aufgebracht und anisotrop so geätzt worden ist, daß nur noch die Isolatoren 3-30 am Rande der oberen Grabenbereiche 3-10a zurückbleiben. Die Isolatorenschicht ist durch eine thermische Oxidierung, die einen leckstromarmen Übergang zwischen Silizium und Siliziumoxid gewährleistet,

30 und eine anschließende Oxidabscheidung, die die notwendige Dicke der Isolatorenschicht herstellt, erzeugt worden. Typischerweise ist die Schichtdicke der Isolatoren etwa 15-50nm, so daß die Schwellenspannung des parasitären Transistors bei etwa 4V liegt.

35

Anschließend wird der Graben 3-10 mit oberem Polysilizium 3-20b aufgefüllt und planarisiert, um die

000001

zweiten Elektroden der Grabenkondensatoren mit den noch zu erzeugenden Auswahltransistoren elektrisch leitend verbinden zu können.

5            Fig. 3h) zeigt den Grabenkondensator nach Erzeugung eines Auswahltransistors 3-49 neben dem Grabenkondensator und nach Fertigstellung der elektrisch leitenden Verbindung zwischen Auswahltransistor 3-49 und zweiter Elektrode, die durch das untere Polysilizium 2-20a gegeben ist. Die  
10 elektrisch leitende Verbindung setzt sich in dieser Ausführung aus dem elektrisch leitenden Verbindungsstück 3-44 („Buried Strap“) und dem oberen Polysilizium 3-20b zusammen. Die Art der elektrisch leitenden Verbindungen zwischen Auswahltransistor 3-49 und zweiter Elektrode 2-20a  
15 kann aber erfindungsgemäß auf vielfältige andere Weisen gelöst werden. Zum Beispiel kann der „Buried Strap“ auch durch einen „Surface Strap“ ersetzt werden.

Die Erzeugung der Auswahltransistoren geschieht nach  
20 einem der Verfahren nach Stand der Technik. Ebenso die Herstellung des elektrisch leitenden Verbindungsstücks 3-44, das die Drain 3-40 des Auswahltransistors 3-49 über das obere Polysilizium 3-20b mit der zweiten Elektroden 3-20a der Grabenkondensatoren verbindet.

Fig. 3h) zeigt weiterhin gestrichelt umrandet den Bereich des parasitären Transistors 3-45, über den eine elektrisch leitende Verbindung zwischen vergrabener Schicht 3-12 und Drain 3-40 des Auswahltransistors erzeugt werden  
30 kann. Da die Isolatoren 3-30 jedoch eine Schichtdicke von etwa 30 nm aufweisen und eine relative Dielektrizitätskonstante von nur 3,9 ( $\text{SiO}_2$ ) haben, liegt die Schwellenspannung  $V_{\text{thr}}$  in der vorliegenden Ausführung oberhalb von 3-4 V. Dies ist deutlich oberhalb von den maximalen  
35 Spannungen von 1,8-2,8V, die ein Grabenkondensator im Betrieb sieht. Für eine Minimierung der Leckströme der parasitären Transistoren 3-45 ist weiterhin durch die hohe Qualität des

Gitterübergangs vom Isolator 3-30 zum Halbleitersubstrat 3-1 gesorgt.

- Fig. 4 zeigt eine weitere Ausführung eines Grabenkondensators, der durch eine vorteilhafte Ausführung des Verfahrens nach Anspruch 1 erzeugt wird. In Fig. 4 ist zusätzlich zu der anisotropen Ätzung zur Erzeugung der unteren Grabenbereiche ein isotroper Ätzschritt durchgeführt worden, der die unteren Grabenbereiche 3-10c erweitert und so die Kapazität der Grabenkondensatoren erhöht. Diese Ausführung hat den Vorteil, daß diese Erweiterungen nicht auf Kosten der Integrationsdichte der Speicherzellen gehen, da die Grabenerweiterungen selektiv nur in den unteren Grabenbereichen erfolgen. Dort ist noch Volumen zur Erweiterung des Halbleitersubstrats auf der Oberfläche der Speicherzellen mehr Fläche benötigen als die Abisolierungen im Halbleitersubstrat.
- Das erfindungsgemäße Verfahren kann einen zusätzlichen Ätzschritt für die Erzeugung der erweiterten unteren Gräben einfach integrieren, da die vertikalen Masken 3-11 eine separate Behandlung von unteren und oberen Grabenbereichen problemlos zulassen.

- Fig. 5 zeigt eine weitere Ausführung eines Grabenkondensators, der durch eine vorteilhafte Ausführung des Verfahrens nach Anspruch 1 erzeugt wird. In Fig. 5 ist zusätzlich zu der anisotropen Ätzung zur Erzeugung der unteren Grabenbereiche ein elektrochemischer Ätzschritt durchgeführt worden, durch den Mesoporen 3-50 in den Wänden der unteren Grabenbereiche erzeugt worden sind. Mesoporen sind etwa 2 nm bis 50 nm große holzwurmlochartig verlaufende Kanäle, die bei einer elektrochemischen Ätzung in n-dotiertem Silizium entstehen. Die Mesoporen 3-50 erzeugen somit eine signifikante Erhöhung der Oberfläche der unteren Grabenbereiche 3-10b, die zur Vergrößerung der

Kondensatorfläche genutzt wird (siehe Vergrößerungsausschnitt in Fig. 5). Näheres zur Erzeugung von Mesoporen in n-dotiertem Silizium und deren vorteilhaften Verwendung für Grabenkondensatoren ist in der deutschen Patentanmeldung Nr.

5 10055711.2 von M.Goldbach beschrieben. Mesoporen in den  
unteren Grabenbereichen haben den Vorteil, daß diese  
Vergrößerung der Oberfläche nicht auf Kosten der  
Integrationsdichte der Speicherzellen gehen, da die Mesoporen  
selektiv nur in den unteren Grabenbereichen erfolgen, wo noch  
10 Volumen für Mesoporen zur Verfügung steht.

Das erfindungsgemäße Verfahren kann einen zusätzlichen elektrochemischen Ätzschritt für die Erzeugung der Mesoporen einfach integrieren, da die vertikalen Masken 3-11 eine separate Behandlung von unteren und oberen Grabenbereichen problemlos zulassen.

## Patentansprüche

1. Verfahren zur Herstellung von Grabenkondensatoren für  
5 Speicherzellen mit mindestens einem Auswahltransistor für  
integrierte Halbleiterspeicher, wobei der Graben für einen  
Grabenkondensator einen unteren Grabenbereich, in dem der  
Kondensator angeordnet ist, und einen oberen  
10 Grabenbereich, in dem eine elektrisch leitende Verbindung  
von einer Elektrode des Kondensators zu dem  
Auswahltransistor angeordnet ist, aufweist, mit den  
Schritten:

- 15 - auf einem Halbleitersubstrat eines ersten Leitungstyps  
wird eine horizontale Maske zur Erzeugung der Gräben  
erzeugt;
- das Halbleitersubstrat wird anisotrop geätzt, so daß  
20 die oberen Grabenbereiche erzeugt werden;
- die Seitenwände der oberen Grabenbereiche werden mit  
vertikalen Masken abgedeckt;
- das Halbleitersubstrat wird selektiv zur horizontalen  
Maske und den vertikalen Masken geätzt, so daß die  
unteren Grabenbereiche erzeugt werden;
- die Oberflächen der unteren Grabenbereiche werden mit  
Material des zweiten Leitungstyps dotiert, so daß auf  
30 den Oberflächen der unteren Grabenbereiche jeweils eine  
erste Elektrode erzeugt wird;
- auf die ersten Elektroden wird jeweils ein Dielektrikum  
aufgebracht;
- 35 - auf das Dielektrikum wird jeweils eine zweite Elektrode  
aufgebracht;

- eine elektrisch leitende Verbindung von der zweiten Elektrode zu dem Auswahltransistor wird erzeugt.

- 5    2. Verfahren nach Anspruch 1,  
      dadurch gekennzeichnet, daß  
      das Halbleitersubstrat Silizium und insbesondere p-  
      dotiertes Silizium ist.
- 10    3. Verfahren nach Anspruch 1 bis 2,  
      dadurch gekennzeichnet, daß  
      die horizontale Maske durch ein photolithographisches  
      Verfahren aus einem Schichtstapel erzeugt wird.
- 15    4. Verfahren nach Anspruch 3,  
      dadurch gekennzeichnet, daß  
      der Schichtstapel eine Nitridschicht aufweist.
- 20    5. Verfahren nach Anspruch 1 bis 4,  
      dadurch gekennzeichnet, daß  
      die anisotrope Ätzung des Halbleitersubstrats durch einen  
      Trockenätzprozeß erfolgt.
- 25    6. Verfahren nach Anspruch 1 bis 5,  
      dadurch gekennzeichnet, daß  
      der obere Grabenbereich jeweils etwa 500 nm bis 1500 nm  
      tief in das Halbleitersubstrat hineinragt..
- 30    7. Verfahren nach Anspruch 1 bis 6,  
      dadurch gekennzeichnet, daß  
      die vertikalen Masken durch eine konforme Abscheidung  
      einer Abdeckschicht und einer anschließenden anisotropen  
      Ätzung der Abdeckschicht erzeugt werden.
- 35    8. Verfahren nach Anspruch 7,  
      dadurch gekennzeichnet, daß



die Abdeckschicht Nitrid ist.

9. Verfahren nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet, daß  
5 die unteren Grabenbereiche durch eine anisotrope Ätzung erzeugt werden.
10. Verfahren nach Anspruch 9,  
dadurch gekennzeichnet, daß  
10 die Oberfläche der unteren Grabenbereiche durch eine isotrope Ätzung vergrößert wird.
11. Verfahren nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet, daß  
15 die Gräben etwa 5  $\mu\text{m}$  bis 15  $\mu\text{m}$  tief sind.
12. Verfahren nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet, daß  
20 die Oberfläche der unteren Grabenbereiche durch eine an die Ätzung der unteren Grabenbereiche anschließende Erzeugung von Mesoporen vergrößert wird.
13. Verfahren nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet, daß  
25 die Dotierung der unteren Grabenbereiche die ersten Elektroden benachbarter Gräben niederohmig miteinander verbindet.
14. Verfahren nach einem der vorhergehenden Ansprüche,  
30 dadurch gekennzeichnet, daß das Dielektrikum die ersten Elektroden in den unteren Grabenbereichen vollständig abdeckt.
15. Verfahren nach einem der vorhergehenden Ansprüche,  
35 dadurch gekennzeichnet, daß das Dielektrikum eine Oxid-Nitrid-Oxid-Schicht, eine Nitrid-Oxid-Schicht, eine Oxidschicht, eine  $\text{Al}_2\text{O}_3$  -

000100 38

Schicht, eine Ta<sub>2</sub>O<sub>5</sub>-Schicht, eine Schicht die Al<sub>2</sub>O<sub>3</sub> enthält oder eine Kombination dieser Schichten ist.

16. Verfahren nach einem der vorhergehenden Ansprüche,  
5     d a d u r c h   g e k e n n z e i c h n e t ,   daß  
      die zweite Elektrode durch Auffüllen der Gräben mit  
      leitendem Material bis zum oberen Grabenbereich erzeugt  
      wird.
- 10   17. Verfahren nach einem der vorhergehenden Ansprüche,  
      d a d u r c h   g e k e n n z e i c h n e t ,   daß  
      das Material der zweiten Elektrode dotiertes Polysilizium  
      ist.
- 15   18. Verfahren nach einem der vorhergehenden Ansprüche,  
      d a d u r c h   g e k e n n z e i c h n e t ,   daß  
      die vertikalen Masken nach der Erzeugung der zweiten  
      Elektroden durch Isolatoren mit niedriger  
      Dielektrizitätskonstante ersetzt werden.
- 20   19. Verfahren nach Anspruch 18,  
      d a d u r c h   g e k e n n z e i c h n e t ,   daß  
      der Isolator aus Siliziumoxid ist.
- 25   20. Verfahren nach Anspruch 18 bis 19,  
      d a d u r c h   g e k e n n z e i c h n e t ,   daß  
      der Isolator eine vorgegebene Schichtdicke hat.
- 30   21. Verfahren nach einem der vorhergehenden Ansprüche,  
      d a d u r c h   g e k e n n z e i c h n e t ,   daß  
      die zweiten Elektroden der Grabenkondensatoren jeweils mit  
      einer Diffusionsstelle eines Auswahltransistors elektrisch  
      leitend verbunden sind.



### Zusammenfassung

Ein Verfahren zur Herstellung von Grabenkondensatoren, insbesondere von Speicherzellen und mindestens einem Auswahltransistor für integrierte Halbleiterspeicher wird beschrieben, wobei der Graben für den Grabenkondensator einen unteren Grabenbereich, in dem der Kondensator angeordnet ist, und einen oberen Grabenbereich, in dem eine elektrisch leitende Verbindung von einer Elektrode des Kondensators zu einem Diffusionsgebiet des Auswahltransistors angeordnet ist, aufweist. Dieses Verfahren reduziert die Anzahl der Prozeßschritte für die Herstellung von Speicherzellen und läßt, anders als bei Verfahren nach Stand der Technik, eine weitgehende freie Gestaltung der unteren Grabenbereiche eines Grabenkondensators zu.

20 Fig. 4

Legende:

	1-1	Grabenkondensator
	1-2	Auswahltransistor
5	1-3	Graben
	1-4	vergrabene Schicht
	1-5	Dielektrikumsschicht
	1-6	zweite Elektrode
	1-8	Drain
10	1-9	Source
	1-10	Gate
	1-11	elektrisch leitendes Verbindungsstück
	1-12	Kragen
15	1-14	parasitärer Transistor
	1-15	Bit-Leitung
	1-16	Wort-Leitung (Gate-Elektrode)
	1-17	Oxid
20	2-1	Siliziumscheibe
	2-2	Pad-Oxid
	2-3	Nitridschicht
	2-4	BSG-Schicht
	2-5	Maskenöffnung
	2-6	Photoresistmaske
	2-7	erstes Trockenätzgas
	2-8	zweites Trockenätzgas
	2-10	Arsensilikatglasschicht
30	2-11	Photolack
	2-12	oberer Grabenbereich
	2-13	Kondensatorbereich
	2-15	Graben
35	2-16	vergrabene Schicht
	2-18	Dielektrikumsschicht
	2-20a	unteres Polysilizium

	2-20b	oberes Polysilizium
	2-22	Isolator
	2-24	Auswahltransistor
5	2-29	Gate-Elektrode
	2-30	Gate-Isolator
	2-31	Drain
	2-32	Source
	2-33	elektrisch leitenden Verbindungsstück
10	2-34	parasitärer Transistor
	3-1	Halbleitersubstrat
	3-2	Pad-Oxid
15	3-3	Nitridschicht
	3-4	TEOS-Oxid
	3-5	Polysiliziumschicht
	3-6	Trockenätzgas
20	3-8a	erste horizontale Maske
	3-8b	zweite horizontale Maske
	3-9	Maskenöffnung
	3-10	Graben
	3-10a	oberer Grabenbereich
	3-10b	unterer Grabenbereich
	3-10c	unterer erweiterter Grabenbereich
	3-11	vertikale Maske
	3-12	vergrabene Schicht
30	3-19	Dielektrikum
	3-20a	unteres Polysilizium
	3-20b	oberes Polysilizium
	3-30	Isolator
35	3-40	Drain
	3-41	Source

- 3-42 Gate-Oxid
- 3-43 Gate-Elektrode
- 3-44 elektrisch leitendes Verbindungsstück
- 3-45 parasitärer Transistor
- 5 3-49 Auswahltransistor
- 3-50 Mesoporen



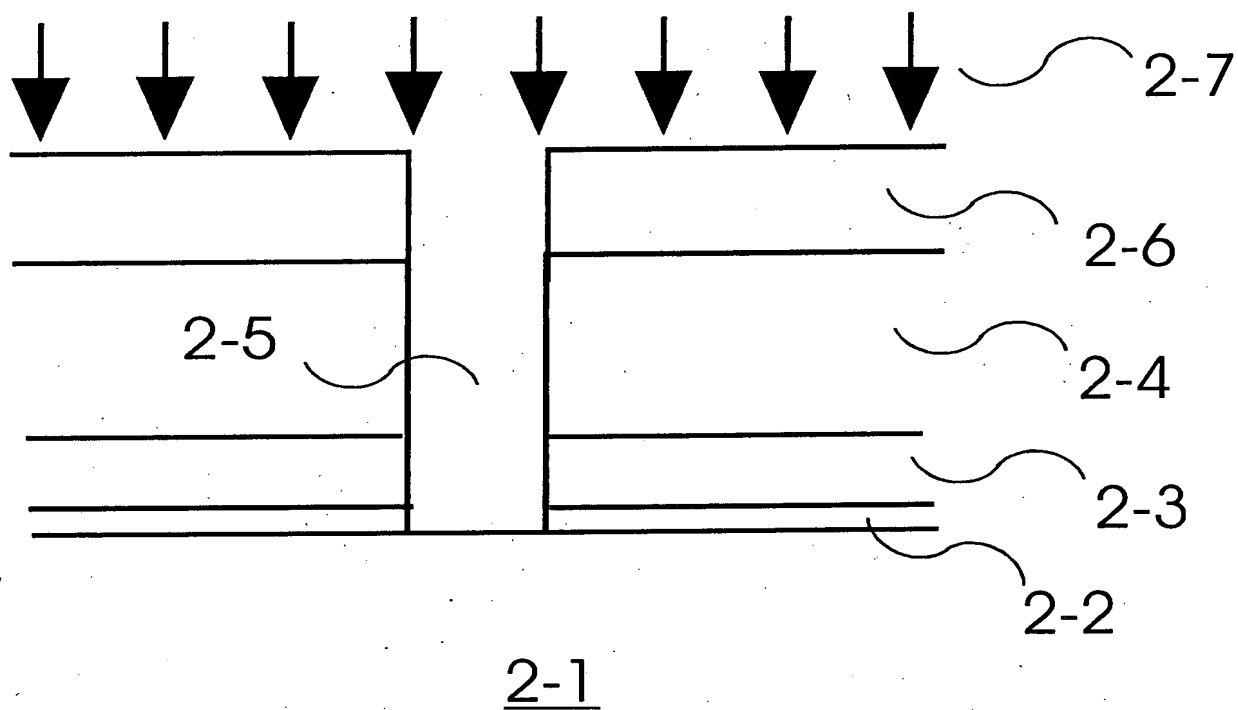


FIG. 2a



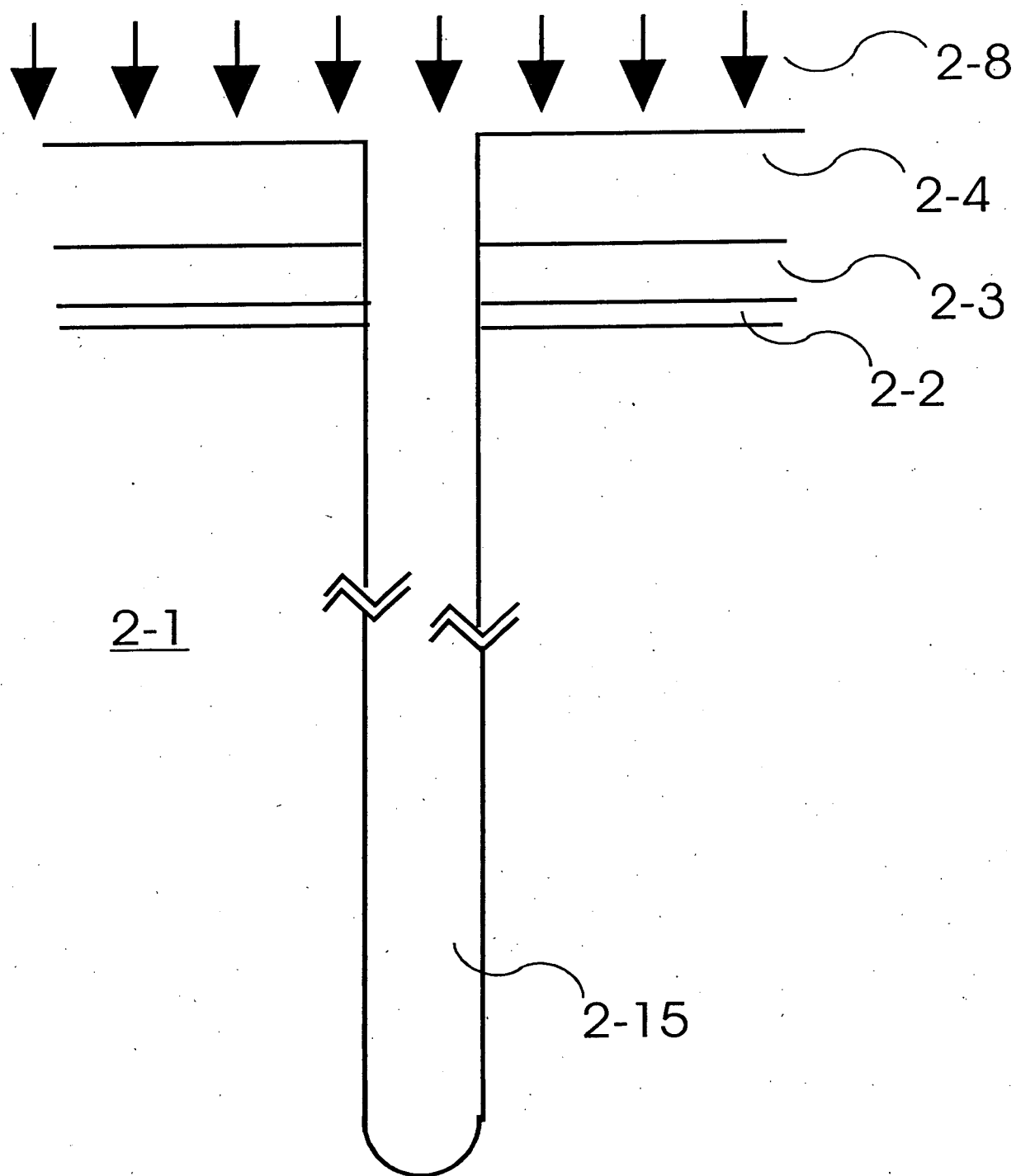


FIG. 2b

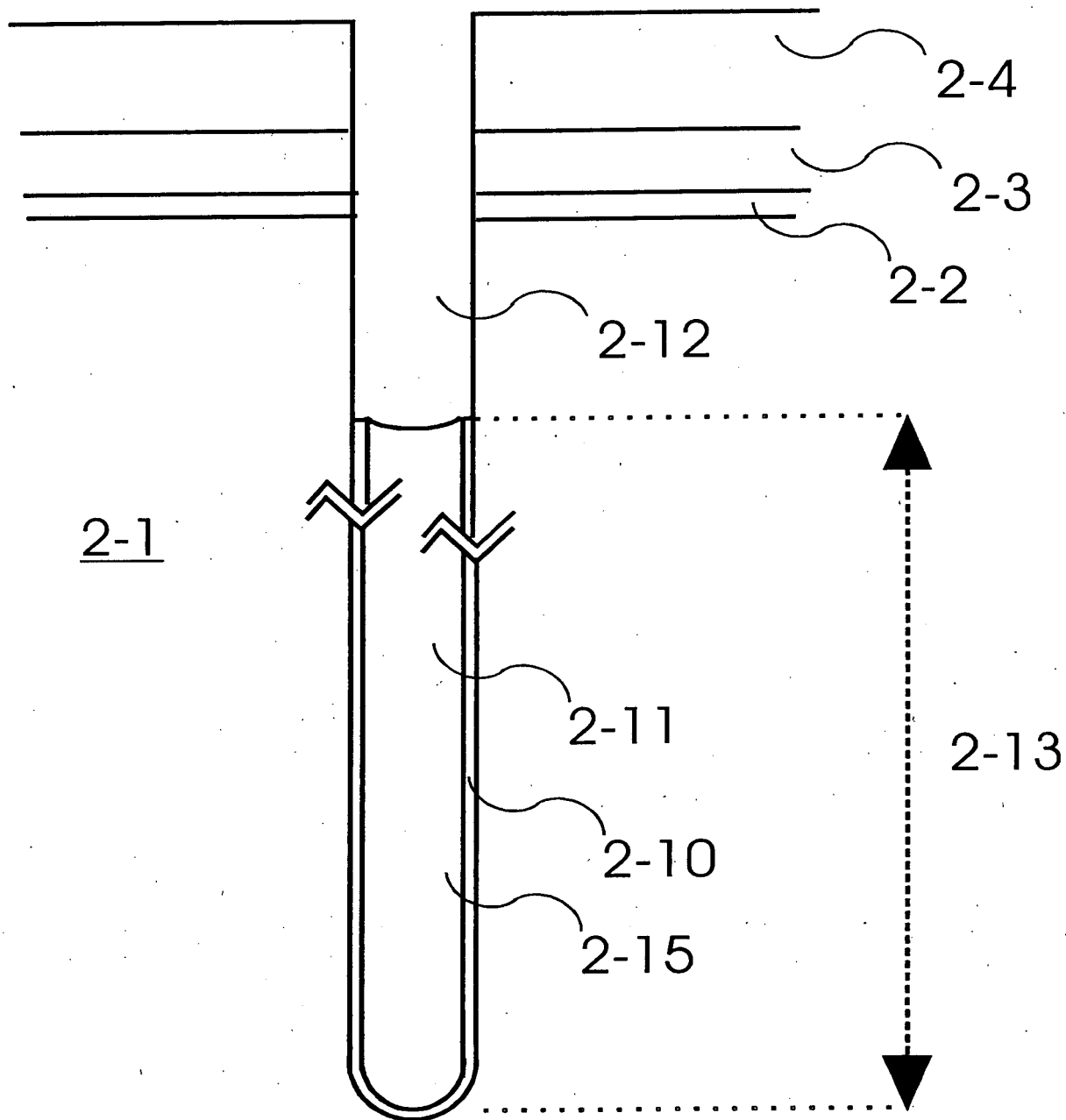


FIG. 2c

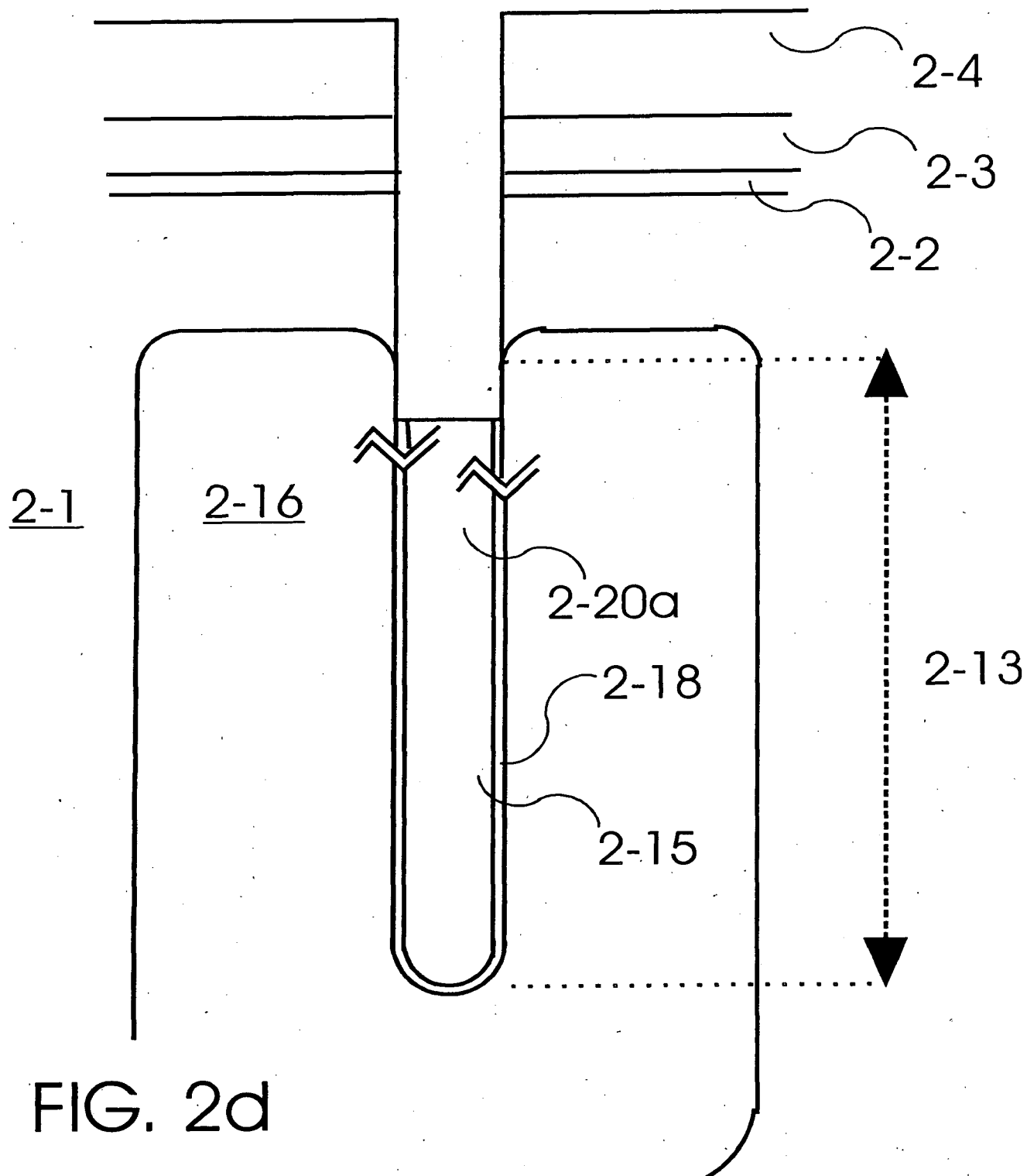


FIG. 2d

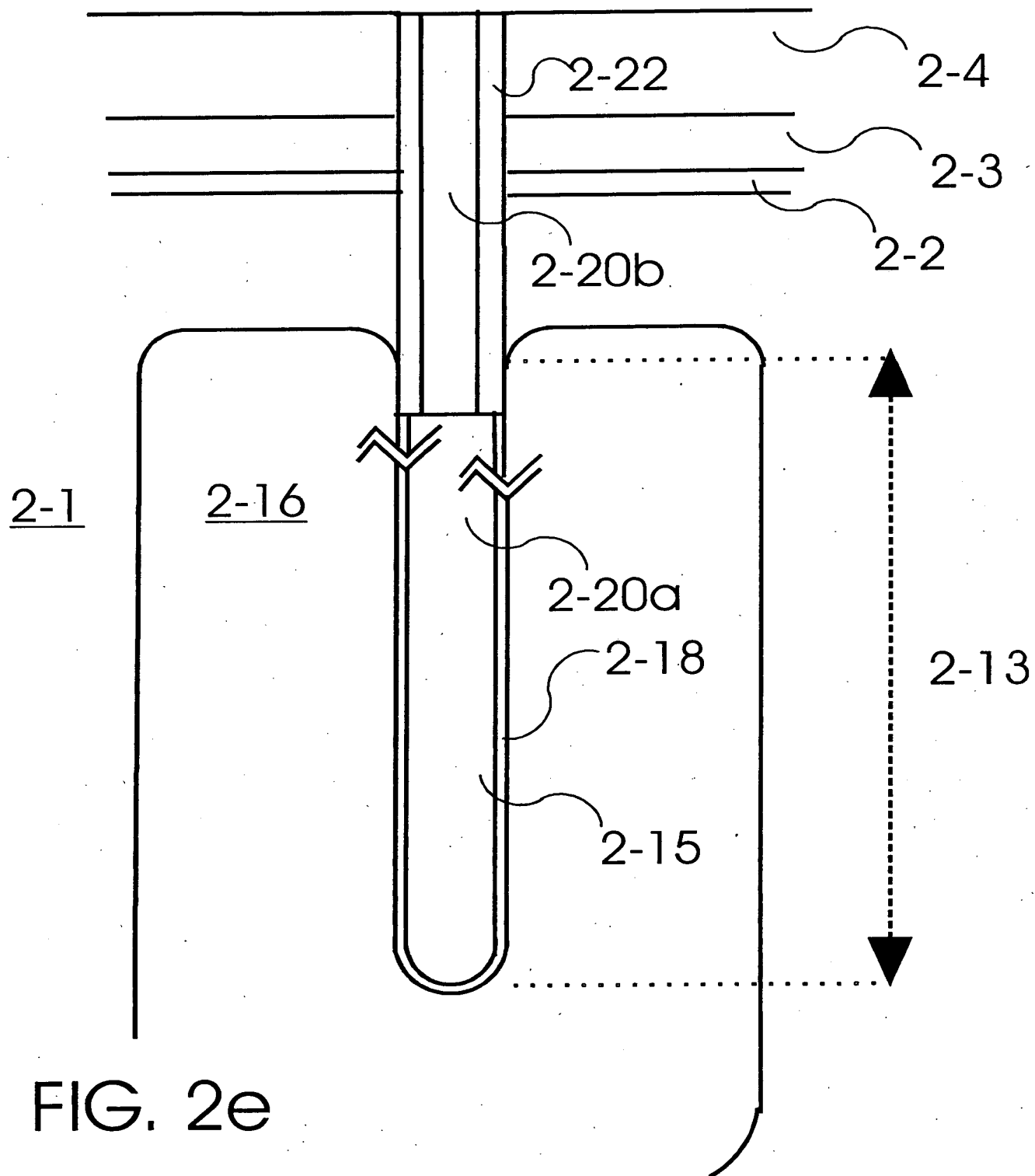


FIG. 2e

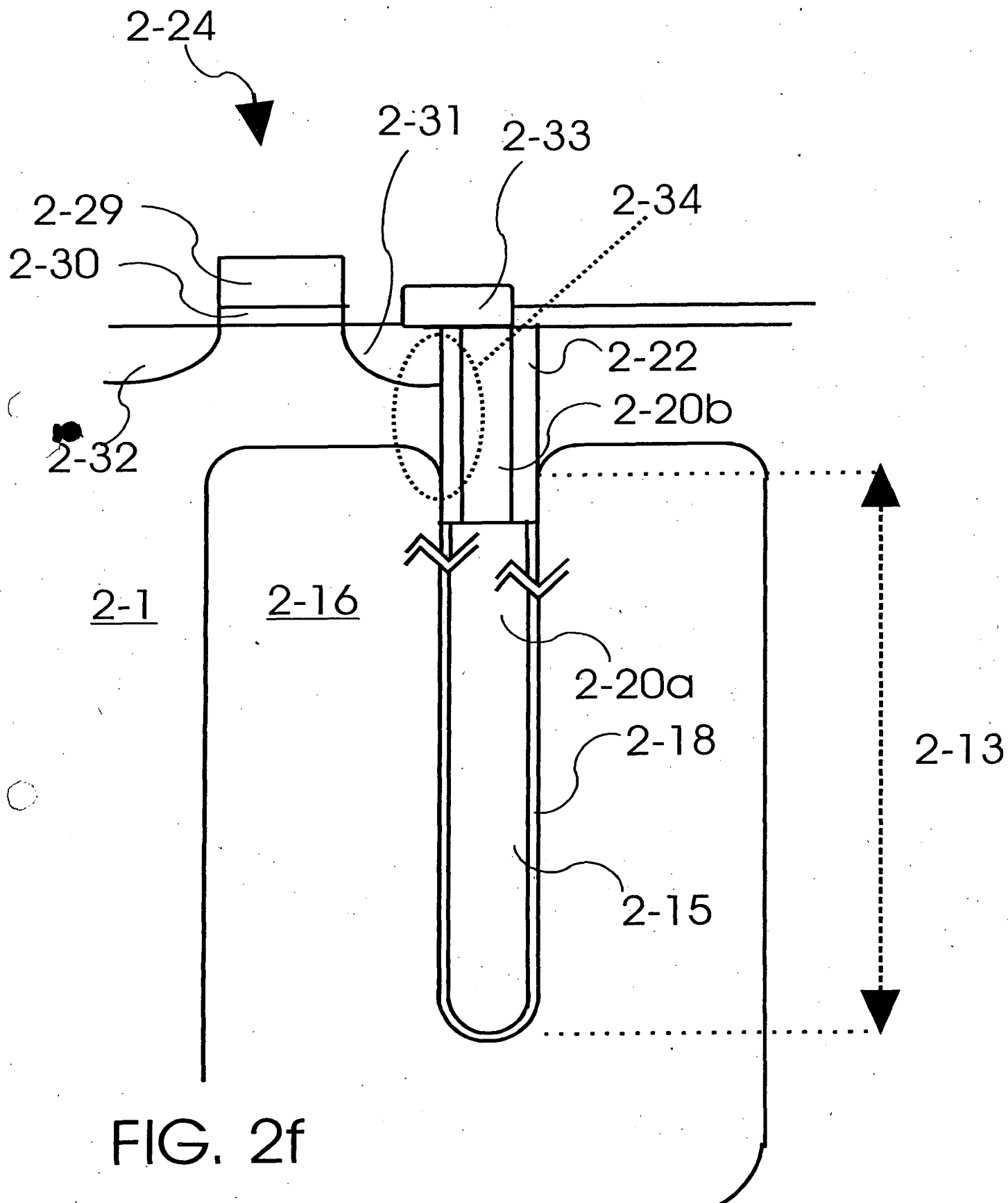


FIG. 2f

8/17

00-00-00

46

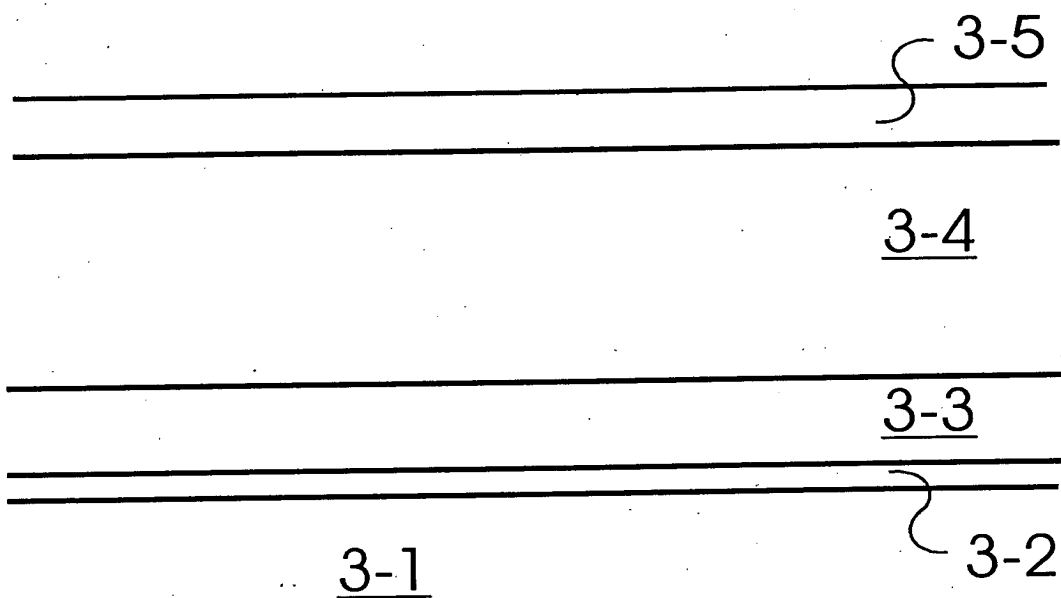


FIG. 3a

9/17

47

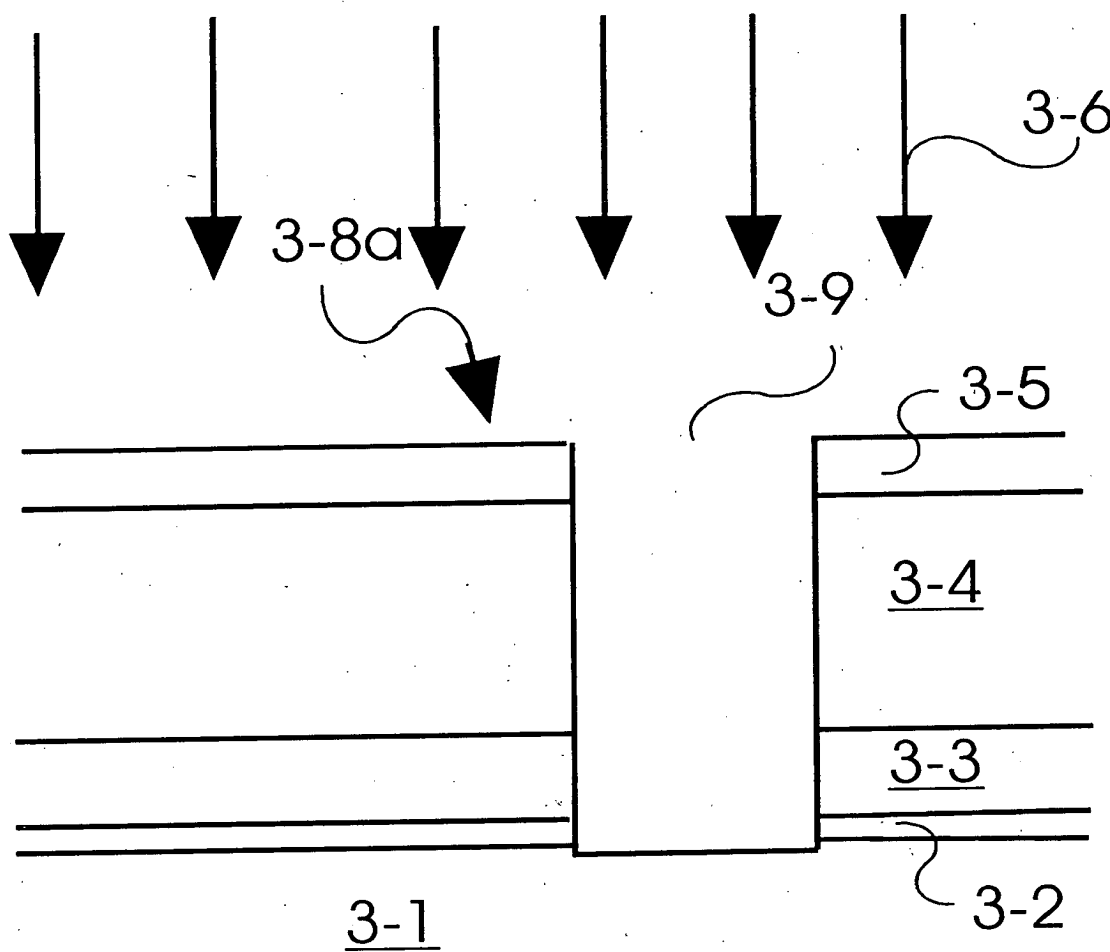


FIG. 3b

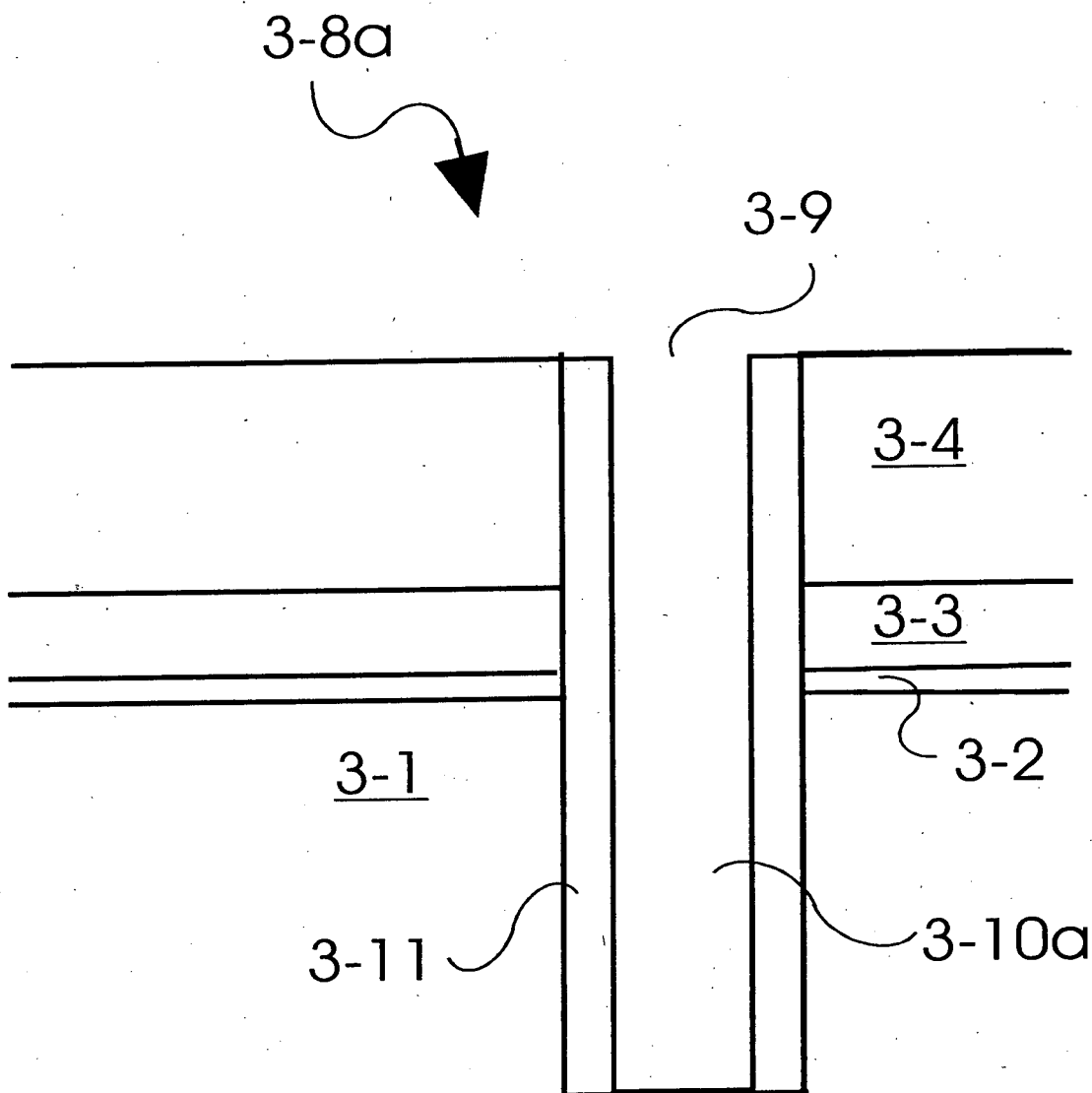


FIG. 3c



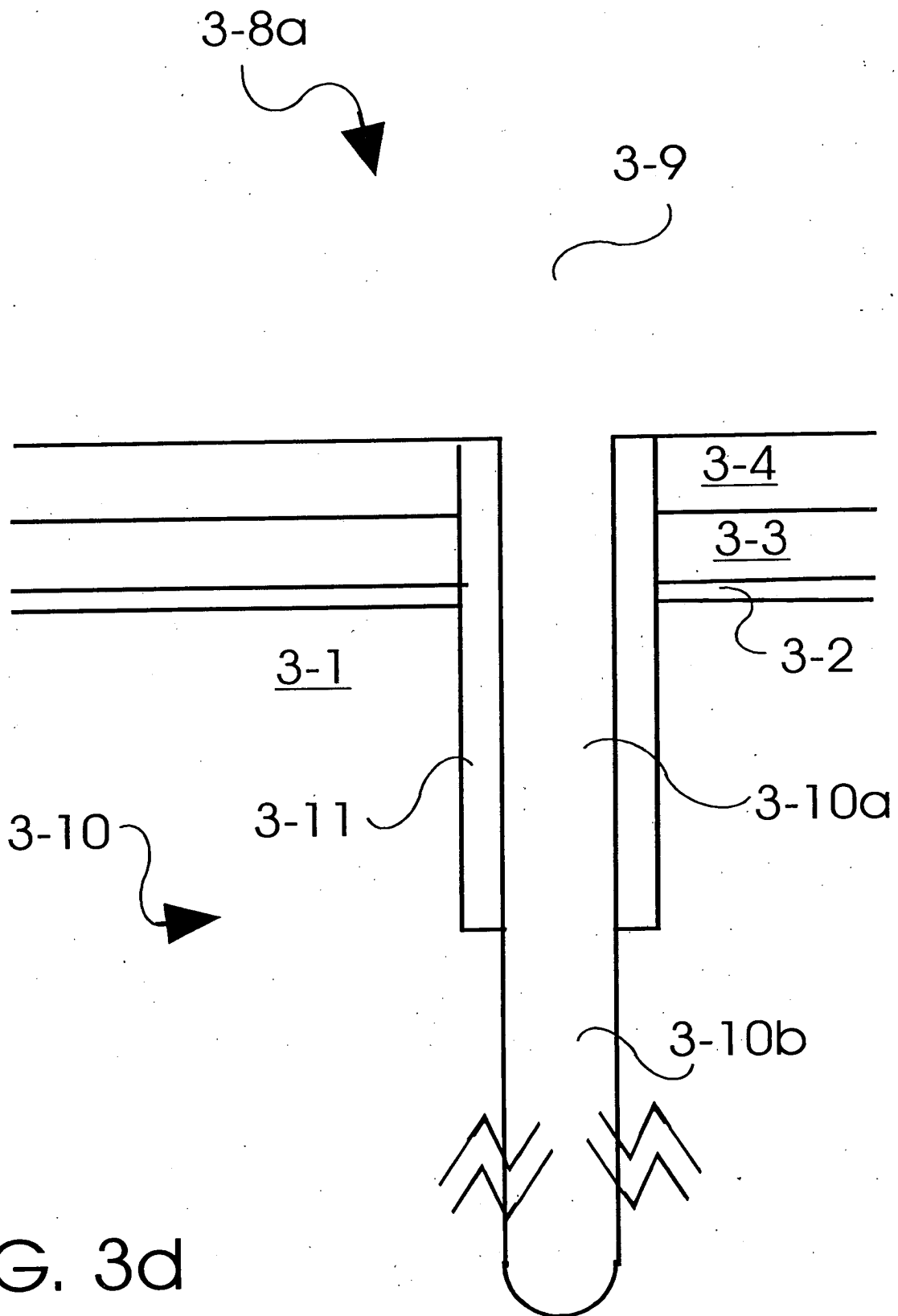


FIG. 3d

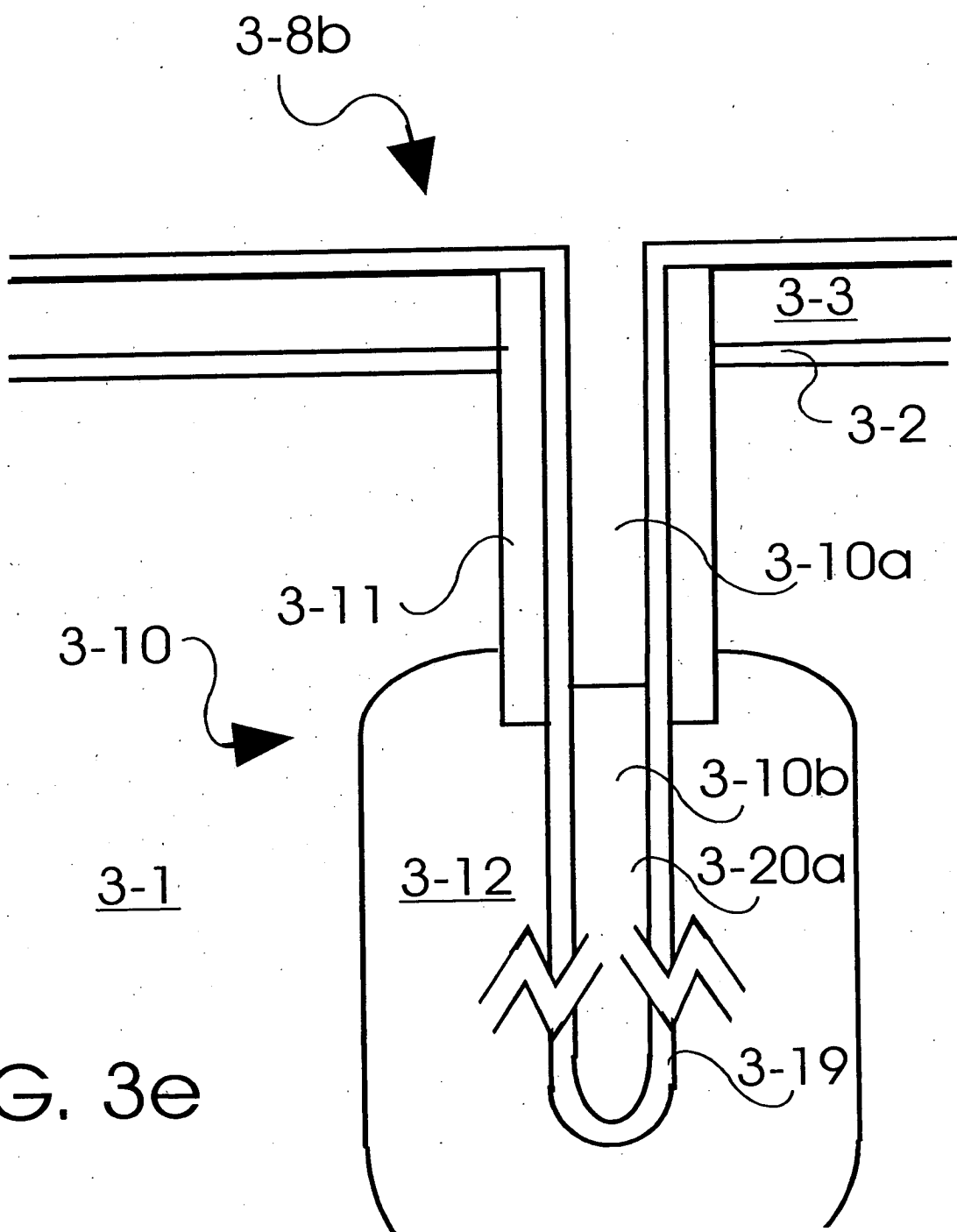
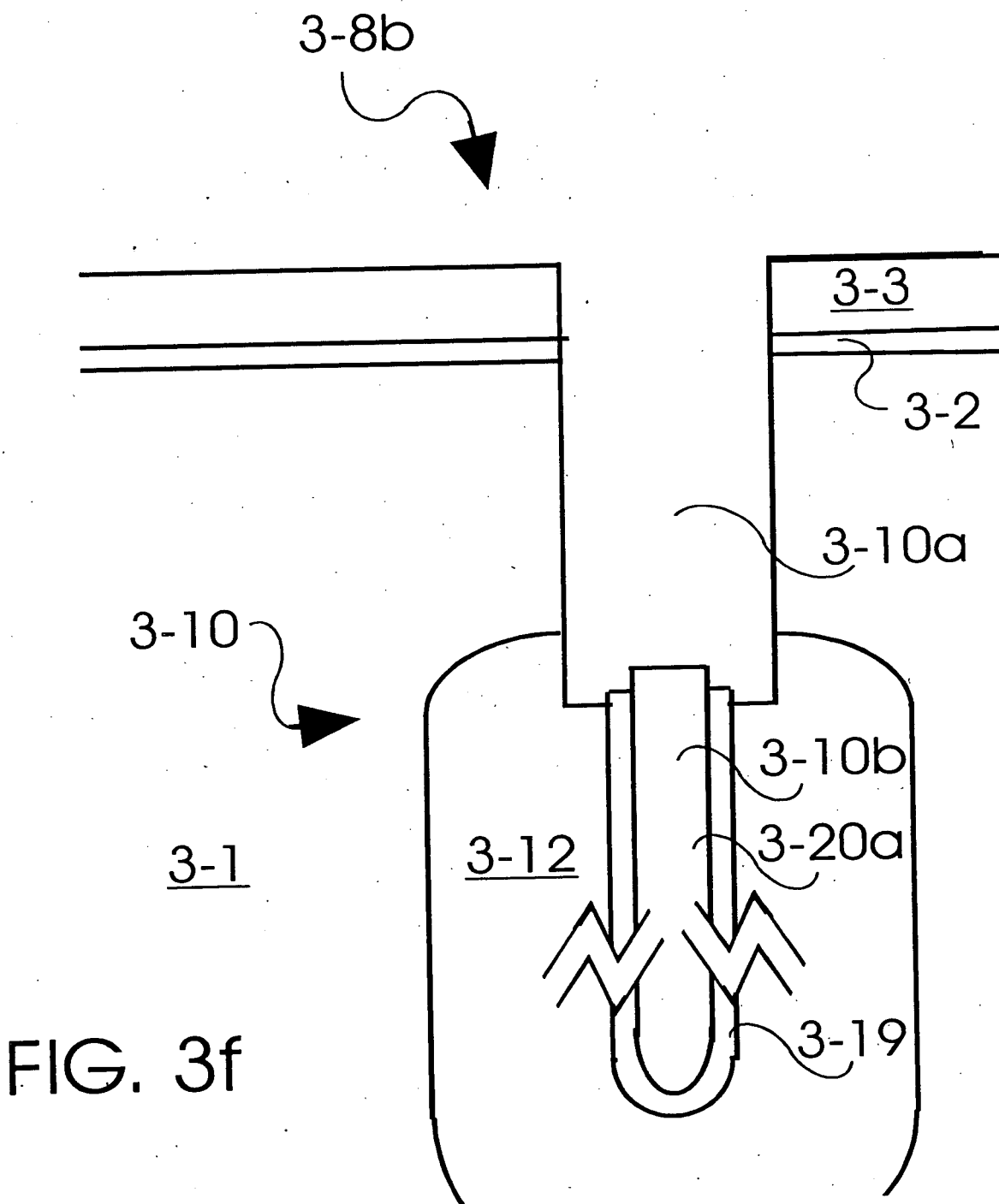
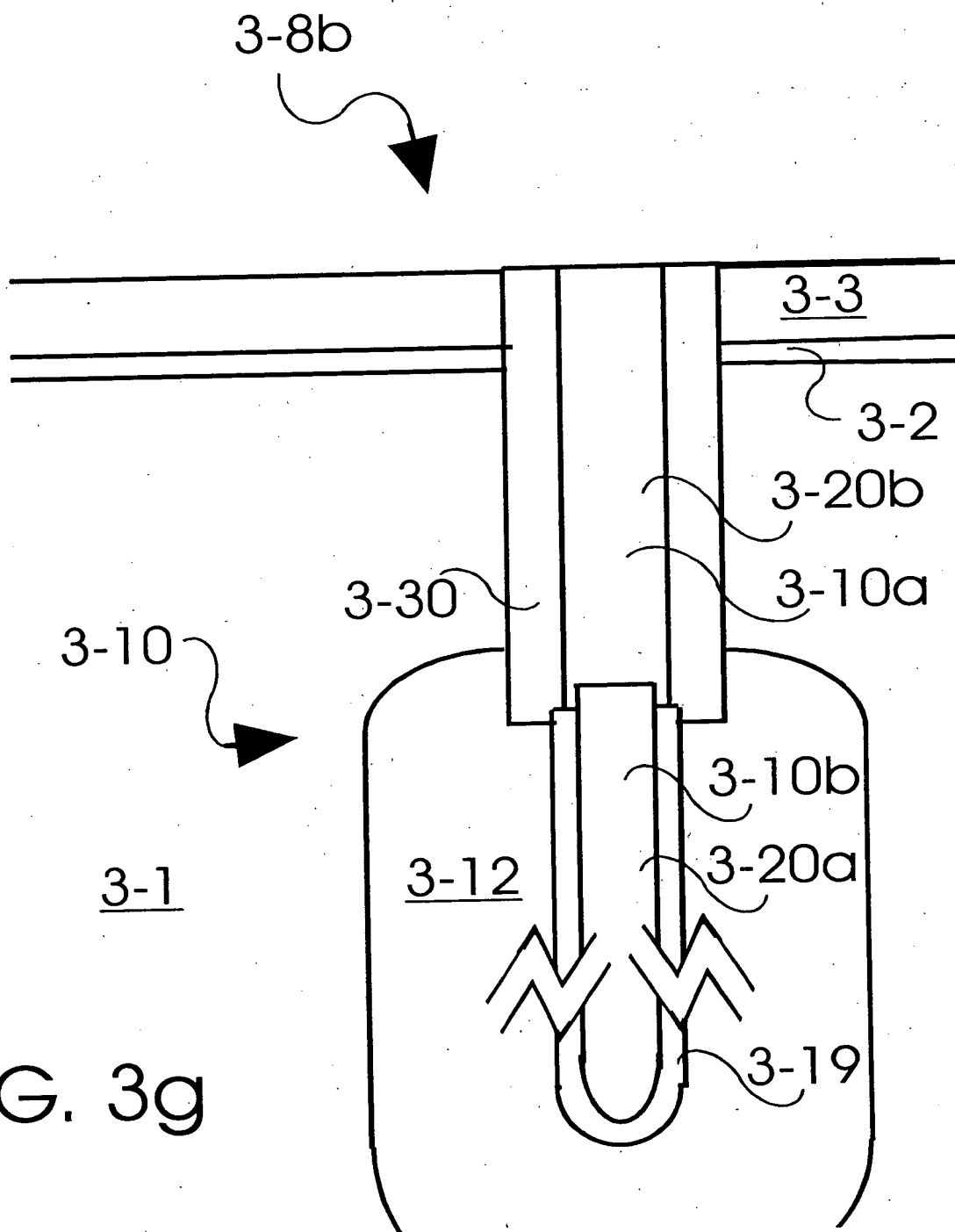


FIG. 3e





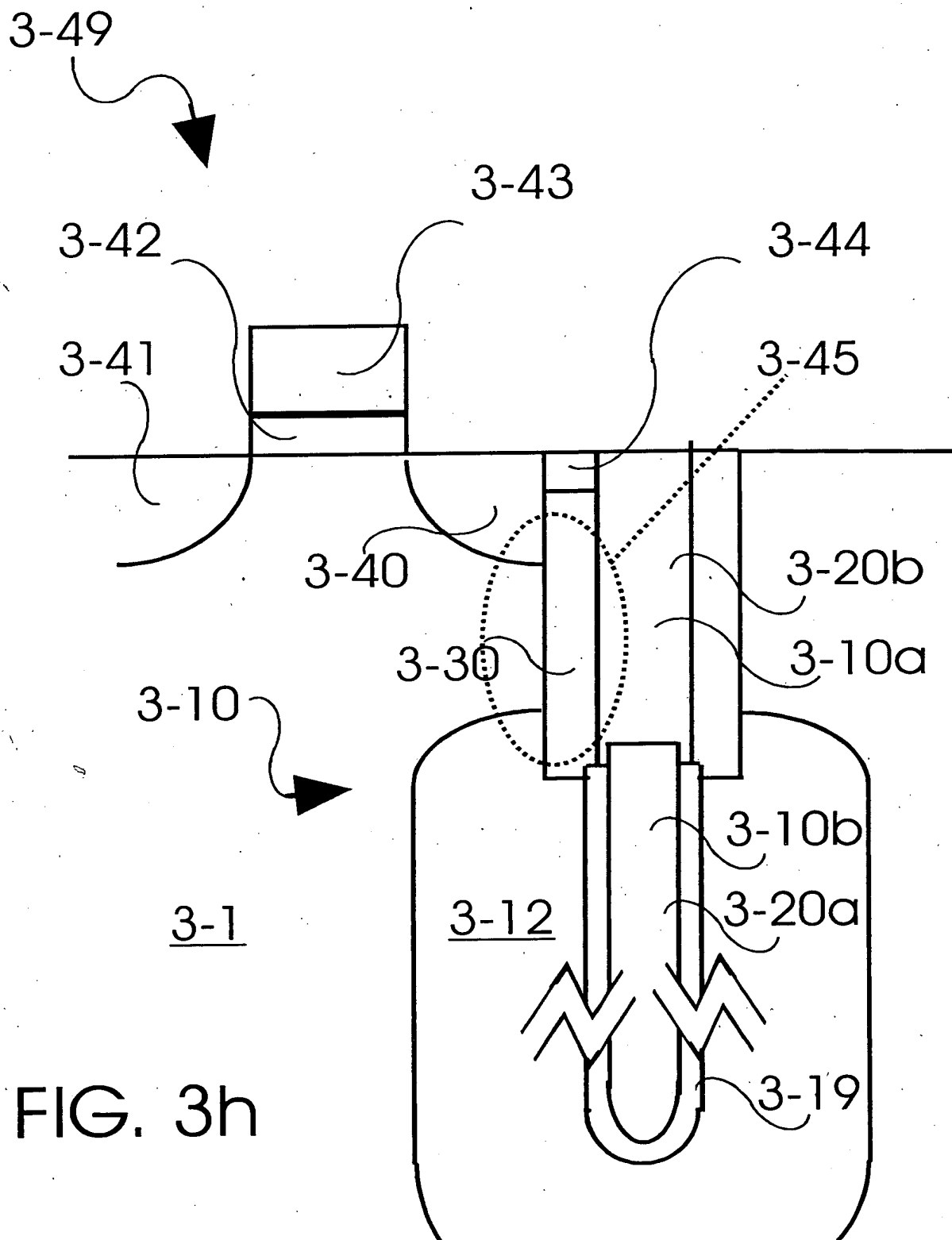


FIG. 3h

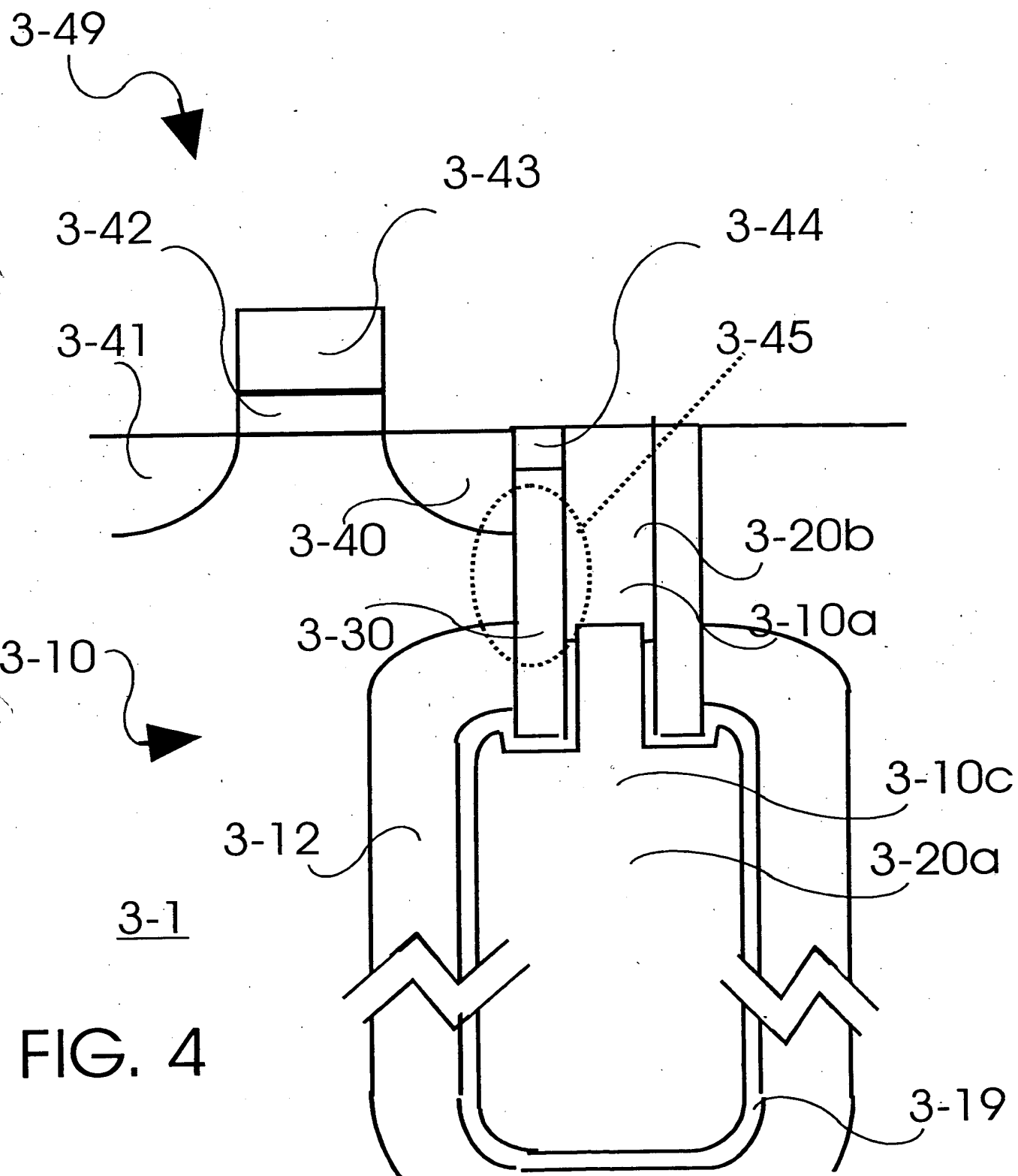


FIG. 4

